

Docket No.: 65781-015

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yoshihiko NEMOTO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 26, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

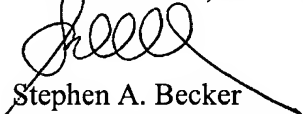
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-347895, filed November 29, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 26, 2003

05781-015

NEMOTO et al.

September 24, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年11月29日

出 願 番 号
Application Number:

特願2002-347895

[ST.10/C]:

[JP2002-347895]

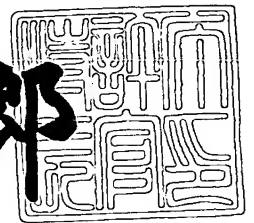
出 願 人
Applicant(s):

三菱電機株式会社
株式会社東芝
ローム株式会社

2003年 3月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3016718

【書類名】 特許願

【整理番号】 543045JP01

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 3/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 根本 義彦

【発明者】

【住所又は居所】 京都府京都市右京区西院溝崎町21番地 ローム株式会
社内

【氏名】 谷田 一真

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 高橋 健司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100057874

【弁理士】

【氏名又は名称】 曾我 道照

【選任した代理人】

【識別番号】 100110423

【弁理士】

【氏名又は名称】 曾我 道治

【選任した代理人】

【識別番号】 100084010

【弁理士】

【氏名又は名称】 古川 秀利

【選任した代理人】

【識別番号】 100094695

【弁理士】

【氏名又は名称】 鈴木 憲七

【選任した代理人】

【識別番号】 100111648

【弁理士】

【氏名又は名称】 梶並 順

【手数料の表示】

【予納台帳番号】 000181

【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成13年度、
新エネルギー・産業技術総合開発機構、「超高密度電子
S I 技術の研究開発（エネルギー使用合理化技術開発）
」委託研究、産業活力再生特別措置法第30条の適用を
受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 互いに対向配置された対向面を有する第 1 および第 2 の半導体基板と、

前記第 1 の半導体基板の対向面上に形成され、第 1 の半導体回路および第 1 の電極からなる第 1 の半導体素子と、

前記第 2 の半導体基板の対向面上に形成され、第 2 の半導体回路および第 2 の電極からなる第 2 の半導体素子と、

前記第 1 および第 2 の電極の間に挟持された導電材からなる第 1 の配線層と、

前記第 1 の半導体基板を貫通するとともに、前記第 1 の配線層を介して前記第 1 および第 2 の電極に接続された貫通電極とを備え、

前記第 2 の半導体基板は前記第 1 の半導体基板に搭載され、前記貫通電極の側面方向に離間配置され、

前記第 1 の半導体基板から突出した前記貫通電極の側面および前記第 2 の半導体素子の側面は絶縁材で被覆され、

前記貫通電極の一端は、前記第 1 の半導体基板の裏面で第 1 の外部端子として露出し、

前記貫通電極の他端は、前記第 2 の半導体基板の裏面と同一高さに位置するとともに、第 2 の外部端子として前記絶縁材から露出したことを特徴とする半導体装置。

【請求項 2】 前記第 1 の外部端子は、前記第 2 の半導体基板の搭載領域内において前記第 1 の半導体基板の裏面から露出した外部端子を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の半導体基板の裏面を絶縁材で被覆したことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記第 1 および第 2 の半導体基板の絶縁材の表面と、前記第 2 の外部端子の露出面とに導電材からなる第 2 の配線層を備え、

前記第 2 の配線層は、前記第 2 の外部端子として露出した前記貫通電極と接続

されたことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記第 2 の配線層は、複数の第 2 の外部端子として構成されたことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記第 1 の電極と前記第 2 の電極との間に素子接続用突起電極を設け、

前記第 1 および第 2 の半導体素子は、前記素子接続用突起電極を介して接続されたことを特徴とする請求項 1 から請求項 5 までの何れか 1 項に記載の半導体装置。

【請求項 7】 前記第 1 の外部端子と、前記第 2 の外部端子との少なくとも一方に、前記貫通電極の露出面から突出する装置接続用突起電極を設け、

前記装置接続用突起電極を外部端子としたことを特徴とする請求項 1 から請求項 6 までの何れか 1 項に記載の半導体装置。

【請求項 8】 前記第 1 の半導体基板として S O I 基板を用い、

前記 S O I 基板は、前記第 1 の半導体基板の裏面に形成された S O I 絶縁膜を露出したことを特徴とする請求項 1 から請求項 7 までの何れか 1 項に記載の半導体装置。

【請求項 9】 前記第 1 の半導体基板の前記 S O I 絶縁膜上に、前記第 1 の外部端子と接続される第 3 の配線層を設けたことを特徴とする請求項 8 に記載の半導体装置。

【請求項 1 0】 前記装置接続用突起電極は、前記第 3 の配線層から突出して、半導体装置の外部端子として設けられたことを特徴とする請求項 9 に記載の半導体装置。

【請求項 1 1】 前記第 2 の半導体基板として S O I 基板を用い、

前記 S O I 基板は、前記第 2 の半導体基板の裏面に形成された S O I 絶縁膜を露出したことを特徴とする請求項 1 から請求項 1 0 までの何れか 1 項に記載の半導体装置。

【請求項 1 2】 前記第 2 の半導体基板の前記 S O I 絶縁膜上に、前記第 2 の外部端子と接続される第 4 の配線層を設けたことを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】 前記装置接続用突起電極は、前記第 4 の配線層から突出して、半導体装置の外部端子としたことを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 4】 前記第 1 または第 2 の外部端子を介して請求項 1 から請求項 2 0 までの何れか 1 項に記載の半導体装置を複数相互接続したことを特徴とする請求項 1 から請求項 1 3 までの何れか 1 項に記載の半導体装置。

【請求項 1 5】 前記第 2 の半導体基板に搭載された第 3 の半導体基板と、前記第 3 の半導体基板上に形成され、第 3 の半導体回路および第 3 の電極からなる第 3 の半導体素子とを備え、

前記第 2 の外部端子を介して、前記第 3 の電極と接続し、前記第 3 の半導体素子の側面および、前記第 3 の半導体基板の前記第 3 の半導体回路形成面側を絶縁材で被覆したことを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 6】 前記第 1 の半導体素子と、前記第 2 の半導体素子と同一構造の半導体素子とを 3 つ以上備え、

前記第 1 の半導体素子および前記第 2 の半導体素子と同一構造の複数の半導体素子は各貫通電極に接続され、前記第 1 の半導体素子および前記複数の半導体素子の半導体回路形成面側を絶縁材で被覆したことを特徴とする請求項 1 4 または請求項 1 5 に記載の半導体装置。

【請求項 1 7】 前記第 1 の半導体基板に所定間隔で、前記貫通電極と前記第 1 の半導体回路とを対で形成し、

前記複数の第 1 の半導体回路の第 1 の電極のそれぞれに、前記第 2 の電極を接続して前記第 2 の半導体素子を載置し、

前記第 1 および第 2 の半導体基板の半導体回路形成面と、各第 2 の半導体基板の側面と、各貫通電極の側面とを絶縁材で被覆し、1 枚の第 1 の半導体基板上に平面的に一体化したことを特徴とする請求項 1 から請求項 1 0 までのいずれか 1 項に記載の半導体装置。

【請求項 1 8】 前記各貫通電極の露出部の少なくとも一方に突起電極を形成したことを特徴とする請求項 1 7 に記載の半導体装置。

【請求項 1 9】 前記第 1 の半導体基板上に平面的に一体化した半導体装置

の第 1 の外部端子および第 2 の外部端子の少なくとも一方に、前記請求項 1、2、3、4、5、6、7、8、9、10、14 のいずれか 1 項に記載の半導体装置を、互いの電極を介して接続したことを特徴とする請求項 17 または請求項 18 に記載の半導体装置。

【請求項 20】 前記複数の第 1 の半導体回路の第 1 の電極に接続する半導体装置の少なくとも 1 つに、半導体素子を複数積層したことを特徴とする請求項 17 または請求項 18 に記載の半導体装置。

【請求項 21】 前記第 2 の半導体素子として、少なくとも 1 つに前記請求項 14 に記載した半導体装置を搭載したことを特徴とする請求項 20 に記載の半導体装置。

【請求項 22】 前記第 1 の半導体基板の厚さを $20\ \mu\text{m}$ 以下としたことを特徴とする請求項 1 から請求項 21 に記載の半導体装置。

【請求項 23】 前記第 1 の半導体基板と、前記第 1 の半導体基板上に載置された前記第 2 の半導体素子と、それぞれを接続する接合部との高さの合計を $100\ \mu\text{m}$ 以下としたことを特徴とする請求項 1 から請求項 22 に記載の半導体装置。

【請求項 24】 第 1 の半導体基板上に、接続端子部を含む第 1 の半導体回路を形成する回路形成ステップと、

前記第 1 の半導体基板上の、予め第 2 の半導体基板上に形成された第 2 の半導体回路および第 2 の電極を有する第 2 の半導体素子の載置位置の外側に、前記第 1 の半導体基板の半導体基板母材に達する所定深さの第 1 の孔を形成する孔形成ステップと、

前記第 1 の孔の側面部および底部と、前記第 1 の半導体基板の第 1 の半導体回路形成面側の面部とに、絶縁膜を堆積する絶縁膜堆積ステップと、

前記孔底部と、前記接続端子部に形成された前記絶縁膜を除去する絶縁膜除去ステップと、

一端を前記孔底部の半導体基板母材に接続し、他端を前記接続端子部に接続した導電材からなる配線層を形成し、前記他端を第 1 の電極とする配線接続ステップと、

前記第 1 の半導体回路形成面側に、レジストを塗布し、前記第 1 の孔の形成部を開口した所定厚のレジストパターンを形成するレジストパターン形成ステップと、

前記第 1 の半導体基板母材を陰極とし、電気めっきにより前記レジストパターン開口部の前記導電材上に貫通電極を形成する電極形成ステップと、

前記レジストを除去するレジスト除去ステップと、

前記第 1 の電極および前記第 2 の電極を介して、前記第 1 の半導体基板上に形成された前記第 1 の半導体回路および前記第 1 の電極を有する第 1 の半導体素子と、前記第 2 の半導体素子とを接続する素子接続ステップと、

前記第 1 の半導体基板の回路形成面上で、前記第 2 の半導体基板と前記貫通電極とを絶縁材で被覆する貫通電極絶縁被覆ステップと、

前記第 1 の半導体基板の前記第 2 の半導体基板の載置側から、前記貫通電極が露出するまで、前記貫通電極絶縁被覆ステップで被覆した絶縁材を研削する表面研削ステップと、

前記第 1 の半導体基板の裏面を所定厚だけ研削する裏面研削ステップと

を備えたことを特徴とする半導体装置の製造方法。

【請求項 2 5】 前記表面研削ステップの後、前記第 1 の半導体基板を陰極として、電気めっきにより、前記第 2 の半導体基板側に露出した前記貫通電極の頭頂部に突起電極を形成する突起電極形成ステップを備えたことを特徴とする請求項 2 4 に記載の半導体装置の製造方法。

【請求項 2 6】 前記裏面研削ステップの後、前記貫通電極が前記第 1 の半導体基板から突出するまで、前記第 1 の半導体基板の裏面に露出した前記半導体基板母材をエッチング除去する裏面エッチングステップを備えたことを特徴とする請求項 2 4 または請求項 2 5 に記載の半導体装置の製造方法。

【請求項 2 7】 前記裏面エッチングステップは、突出した前記貫通電極の底部表面に、前記貫通電極と接続するための表面処理を施したことを特徴とする請求項 2 6 に記載の半導体装置の製造方法。

【請求項 2 8】 前記孔形成ステップは、前記第 1 の孔から所定距離の位置に、前記半導体基板母材に達する所定深さの第 2 の孔を形成し、

前記絶縁膜堆積ステップは、前記第 2 の孔の側面部および底部に絶縁膜を堆積し、

前記絶縁膜除去ステップは、前記第 2 の孔底部に形成された絶縁膜を除去し、

前記配線接続ステップは、一端を前記接続端子部に接続する配線を形成し、

前記レジストパターン形成ステップは、前記第 2 の孔の形成部を開口した所定厚のレジストパターンを形成し、

前記電極形成ステップは、前記第 2 の孔に導電材を埋め込むことを特徴とする請求項 2 4 から請求項 2 7 に記載の半導体装置の製造方法。

【請求項 2 9】 前記レジストパターン形成ステップは、

前記第 2 の半導体基板の前記第 2 の半導体回路形成面に対する裏面よりも高いレジストパターンを形成し、

前記電極形成ステップは、前記第 2 の半導体基板の前記第 2 の半導体回路形成面に対する裏面よりも高い貫通電極を形成し、

前記表面研削ステップは、前記貫通電極のみを露出させることを特徴とする請求項 2 4 から請求項 2 8 までのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 3 0】 前記表面研削ステップで前記貫通電極のみが露出された絶縁材の研削加工面に配線層を形成する表面配線層形成ステップを備えたことを特徴とする請求項 2 9 に記載の半導体装置の製造方法。

【請求項 3 1】 前記表面研削ステップによる研削加工面を前記貫通電極の頭頂部の位置に応じた絶縁膜パターンで被覆し、前記第 1 の半導体基板の半導体基板母材を陰極として、電気めっきにより、前記頭頂部に接続し前記絶縁パターン表面の高さ以上の導電部を形成する表面導電部形成ステップを備えたことを特徴とする請求項 2 4 から請求項 2 8 に記載の半導体装置の製造方法。

【請求項 3 2】 前記表面導電部形成ステップは、

前記絶縁膜パターンで形成された絶縁膜表面に配線層を形成することを特徴とする請求項 3 1 に記載の半導体装置の製造方法。

【請求項 3 3】 前記表面研削ステップによる研削加工面を前記貫通電極の頭頂部の位置に応じた絶縁膜パターンで被覆し、前記頭頂部に接続する配線層を形成する表面配線部形成ステップを備えたことを特徴とする請求項 2 4 から請求

項 2 8 に記載の半導体装置の製造方法。

【請求項 3 4】 埋め込み酸化膜型 S O I 基板または貼り合わせ型 S O I は、絶縁膜を介して両側に半導体層が形成され、一方の半導体層は前記半導体基板母材とし、他方の半導体層は前記半導体基板母材より薄い活性層とし、

前記回路形成ステップは、前記埋め込み酸化膜型 S O I 基板または前記貼り合わせ型 S O I を前記第 1 の半導体基板とし、前記活性層側に前記第 1 の半導体回路を形成し、

前記孔形成ステップは、前記半導体基板の前記活性層側から前記半導体基板母材に達するまでの前記孔を形成し、

前記裏面研削ステップは、前記半導体基板母材を、前記第 1 の半導体基板の絶縁膜が露出するまで研削を行うことを特徴とする請求項 2 4 に記載の半導体装置の製造方法。

【請求項 3 5】 埋め込み酸化膜型 S O I 基板または貼り合わせ型 S O I は、絶縁膜を介して両側に半導体層が形成され、一方の半導体層は前記半導体基板母材とし、他方の半導体層は前記半導体基板母材より薄い活性層とし、

前記回路形成ステップは、前記埋め込み酸化膜型 S O I 基板または前記貼り合わせ型 S O I を前記第 1 の半導体基板とし、前記活性層側に前記第 1 の半導体回路を形成し、

前記孔形成ステップは、前記半導体基板の前記活性層側から前記半導体基板母材に達するまでの前記孔を形成し、

前記裏面研削ステップは、前記半導体基板母材を前記所定厚だけ研削し、前記半導体基板母材の研削面をエッチング除去して、前記貫通電極の底部を突出させることを特徴とする請求項 2 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、この発明は半導体装置の電極構造、特に貫通電極を有する半導体装置とその実装構造に関するものである。

【 0 0 0 2 】

【従来の技術】

従来の半導体装置は、半導体基板に開口を有するレジストを形成し、開口にめっきを施して導電柱を形成し、導電柱を樹脂で固めることにより製造されていた（例えば、特許文献 1 参照）。

【0003】

【特許文献 1】

特開平 1 1 - 3 0 7 9 3 7 号公報（第 7 頁、第 1 図）

【0004】

【発明が解決しようとする課題】

従来の半導体装置は以上のように製造され、特に、貫通電極を有する半導体装置は、半導体基板内を電極が貫通し、絶縁膜により、貫通電極と半導体基板とを電氣的に隔てている。このような半導体装置を製造するには、まずエッチング加工により、半導体基板に微細な孔を深く（高いアスペクト比で）形成し、孔の内壁に被覆性良く、化学的気相成長法（CVD: Chemical Vapor Deposition）により絶縁膜を堆積し、さらに電気めっきの陰極となる金属膜を、化学的気相成長法により被覆性良く堆積させる。

この金属膜を陰極として電気めっきで孔部分に金属を埋め込んだ後、余分な化学的気相成長法による金属膜と、めっきによる金属を除去して、半導体基板の裏面より半導体基板を研削することによって孔の底部の金属を露出させていた。

【0005】

しかし、半導体基板にアスペクト比の大きな孔を形成し、孔の少なくとも側壁に絶縁膜を被覆性良く、欠陥を生じないように堆積することが必要であるが、これ自体がかなり難しい技術であった。

さらに、めっきの陰極は孔底部だけでなく側壁部にも被着しているため、孔に電気めっきで金属を埋め込む際、底部からのめっき成長だけでなく、側壁部からもめっき成長が起こる。一般に、めっきの流動性が良い孔上部の側壁からの成長速度が早いことから、めっきを進行させるに従って、孔上部が先に埋まってしまい、その下の部分にめっきされない部分が生じる恐れがあった。これを避けるためにめっき成長を制御することが必要であるが、制御は極めて困難だった。

このようなことが、半導体装置の製造自体を困難にしていたため、その普及を妨げており、製造された半導体装置も、歩留まりが極めて低く、高価なものとなり、信頼性の低いものとなっていた。

【0006】

この発明は上記のような問題点を解決するためになされたもので、製造の容易な半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

この発明に係る半導体装置は、互いに対向配置された対向面を有する第1および第2の半導体基板と、第1の半導体基板の対向面上に形成され、第1の半導体回路および第1の電極からなる第1の半導体素子と、第2の半導体基板の対向面上に形成され、第2の半導体回路および第2の電極からなる第2の半導体素子と、第1および第2の電極の間に挟持された導電材からなる配線層と、第1の半導体基板を貫通するとともに、配線層を介して第1および第2の電極に接続された貫通電極とを備え、第2の半導体基板は第1の半導体基板に搭載され、貫通電極の側面方向に離間配置され、第1の半導体基板から突出した貫通電極の側面および第2の半導体素子の側面は絶縁材で被覆され、貫通電極の一端は、第1の半導体基板の裏面で第1の外部端子として露出し、貫通電極の他端は、第2の半導体基板の裏面と同一高さに位置するとともに、第2の外部端子として絶縁材から露出したものである。

【0008】

【発明の実施の形態】

実施の形態1.

以下、図面を参照しながら、この発明の実施の形態1について詳細に説明する。図1はこの発明の実施の形態1を示す半導体装置の断面図であり、図2は従来の半導体装置の断面図である。

図1において、第1の半導体基板上（第1の半導体基板1）に第1の半導体回路3が形成され、第1の半導体回路内もしくはその周縁部には、第1の電極（または電極群）7が形成されている。

また、第 2 の半導体基板上（第 2 の半導体基板 2）には、第 2 の半導体回路 4 が形成され、第 2 の半導体回路 4 の所定位置には、第 2 の電極（または電極群）8 が形成されている。

【 0 0 0 9 】

第 1 の半導体基板上に第 1 の半導体回路 3 を形成する第 1 の半導体素子 5 と、第 2 の半導体基板上に第 2 の半導体回路 4 を形成する第 2 の半導体素子 6 とは、それぞれの回路形成面同士を対向配置させ、第 1 の電極と第 2 の電極とを介して相互接続されている。

また、第 1 の半導体素子 5 の第 1 の半導体回路形成面の反対の面（裏面）から露出し、第 2 の半導体基板 2 の方向に垂直に展延して、第 2 の半導体素子 6 の第 2 の半導体回路形成面の反対の面まで達する柱上の貫通電極 1 2 が形成されている。

貫通電極 1 2 の一端は、第 1 の半導体基板 1 から露出され、第 1 の外部端子 1 0 として外部装置と接続可能であり、また、貫通電極 1 2 の他端は、第 2 の半導体基板 2 の第 2 の半導体素子 6 の第 2 の半導体回路形成面の反対の面によって構成される平面と略同一な平面から露出され、第 2 の外部端子 1 1 として、外部装置と接続可能である。

【 0 0 1 0 】

第 1 の外部端子 1 0 の配線層は、第 1 の半導体基板 1 の主面上に形成されており、第 1 の半導体基板上では、一端が貫通電極 1 2 に接続され、他端が第 1 および第 2 の電極のどちらか少なくとも一方に接続する配線層を形成している。

また、第 1 および第 2 の半導体基板の回路形成面の反対の面（裏面）と、第 2 の半導体基板 2 と略同一平面である貫通電極 1 2 の頭頂部（第 2 の外部端子 1 1）と、第 1 の半導体基板の側面との面以外の面は、絶縁材 1 3 で被覆されている。

【 0 0 1 1 】

一方、従来の半導体装置は図 2 のように、半導体基板上に 1 つの半導体回路 2 を形成し、半導体基板 2 1 の上下両面を絶縁膜 2 3 で被覆している。貫通電極 1 2 は半導体基板 2 1 を貫通し、露出した貫通電極の両端は突起電極 2 4 として

いる。

以上のように、従来の半導体装置に対して、本実施の形態の半導体装置は、同様の貫通電極を持つ従来の半導体装置とほぼ同じ体積で、容易に約 2 倍の半導体回路を搭載することができる。

【 0 0 1 2 】

実施の形態 2.

図 3 は、この発明の実施の形態 2 を示す半導体装置の断面図である。

なお、図 3 において前述（図 1 参照）と同一のものは同一符号を付して詳述を省略する。

上記実施の形態 1 では、第 1 の電極 7 と第 2 の電極 8 とを直接接触させることにより、第 1 の半導体素子 5 と第 2 の半導体素子 6 とを接続させた。本実施の形態では、図 3 のように、第 1 の電極 7 と第 2 の電極 8 との間にバンプ電極 2 0 を形成することにより、第 1 の半導体素子 5 と第 2 の半導体素子 6 とを接続してもよい。

【 0 0 1 3 】

このような接続方法にすることにより、第 1 の半導体素子 5 と第 2 の半導体素子 6 との接続が容易となる。

また、本実施の形態で、貫通電極 1 2 に接続する配線層を一部利用して、第 1 の半導体素子 5 とバンプ電極 2 0 との接続を行うことができる。

なお、バンプ電極 2 0 は、第 1 の半導体基板側に形成されても、第 2 の半導体素子側に形成されても、あるいは両側に形成されてもよい。

【 0 0 1 4 】

実施の形態 3.

上記実施の形態 1 および 2 の半導体装置の製造方法について説明する。

図 4 ～図 5 は、従来の半導体装置の製造方法の工程図であり、図 6 ～図 1 9 は、この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

なお、図 4 ～図 1 9 において、前述（図 1 ～図 3 参照）と同一のものは同一符号を付して詳述を省略する。

例えば、前述の図 2 のような従来の半導体装置の貫通電極を形成する場合には

、図4のように、半導体基板21にアスペクト比が高く、深い孔25を形成し、その内壁に絶縁膜26、さらに、めっきの下地金属27を被覆させる。

さらに、図5のように、孔25を埋めるためのめっき28を施して、貫通電極12の形成を行っていく。

【0015】

次に、本実施の形態での貫通電極12を有する半導体装置の製造方法について説明する。

図6において、まず、所定の電気抵抗を有するP型もしくはn型の第1の半導体基板上に接続端子部を含む第1の半導体回路3を形成する。

次に、図7において、第1の半導体基板1の第1の半導体回路3の周縁部の位置に所定深さの孔を形成する。

なお、第1の半導体基板1に形成する孔の深さは、半導体素子が実効的に動作している厚さより深く、かつ後述する第1の半導体基板の研削工程で、第1の半導体基板1に与える機械的損傷などがこの実効的な動作をする層（活性層）にまで達しない程度、例えば10 μm 程度より深ければよい。

第1の半導体基板1に孔を形成する際、孔を極端に深くすると工程上に様々な困難が発生する。これを回避するためには、孔はできるだけ浅くすることが望ましく、アスペクト比を1～2程度にできればよい。孔の径を前述のように、10 μm 程度を実用的な大きさとして形成する場合、アスペクト比を考慮すると、孔の深さ、言い換えると第1の半導体装置の厚さは10～20 μm 程度、すなわち、20 μm 以下がよい。

【0016】

次に、図8において、第1の半導体基板上に絶縁膜（例えばSiO₂）30を堆積する。さらに、図7で形成した孔の底部と、第1の半導体回路3の所定位置にある第1の半導体回路3の接続端子部とに堆積された絶縁膜30をエッチングにより除去する。

図9において、一端が貫通電極12に接続する配線となり、後述するめっきの際の下地となる金属膜9を堆積し、配線パターン（接続配線、配線層）9に加工する。このとき加工された金属膜9は、絶縁膜30を除去した孔底部および孔側

壁部にも形成される。

次に、図 1 0 において、レジスト 3 1 を塗布し、写真製版により、図 7 で形成した孔の上方部を開口した所定厚のフォトレジストパターン（レジスト 3 1）を形成する。

このとき、レジスト厚は柱状の貫通電極となるめっき厚より若干厚い、例えば $50\text{ }\mu\text{m}\sim 100\text{ }\mu\text{m}$ 程度にする。

【 0 0 1 7 】

次に、図 1 1 において、半導体基板の導電性を利用して、第 1 の半導体基板 1 を陰極として、電気めっきにより、例えば Cu のような金属をレジストパターン開口部に埋め込む。

このとき、めっきの成長に適した下地となる例えば Cu のような金属材料を、図 9 で形成した接続配線 9 の少なくとも最表面となるように予め形成しておく。

図 1 2 において、予め第 2 の半導体基板 2 に、所定の回路（第 2 の半導体回路 4）およびバンプ電極 2 0 を形成し、個片化した第 2 の半導体素子 6 を用意する。

図 1 0 で形成したフォトレジスト 3 1 を除去し、第 1 の半導体基板 1 に第 1 の半導体回路 3 を形成した第 1 の半導体素子 5 と、第 2 の半導体基板 2 に第 2 の半導体回路 4 を形成した第 2 の半導体素子 6 とを、回路形成面を対向させて位置合せし、バンプ電極 2 0 を介して第 1 の半導体素子 5 と第 2 の半導体素子 6 とを接続する。

このとき、第 2 の半導体素子 6 は、貫通電極 1 2 となるめっきの柱の内側に載置される。また、第 2 の半導体素子 6 はめっきの高さ（厚さ）より厚くてもよく、例えばめっきの高さの 1 0 倍程度の $500\text{ }\mu\text{m}\sim 700\text{ }\mu\text{m}$ であってもよい。

【 0 0 1 8 】

次に、図 1 3 において、第 1 の半導体基板上で、第 2 の半導体素子 6 および貫通電極 1 2 となるめっきの柱のすべてを覆うように、例えばエポキシ樹脂のような当初流動性があり、硬化後良好な絶縁材 1 3 で被覆し、硬化させる。

図 1 4 において、第 2 の半導体素子搭載側から絶縁材（樹脂） 1 3 を、貫通電極（めっきの柱の頭頂部） 1 2 が露出するまで研削する。

このとき、第2の半導体素子6はめっきの柱の高さより厚いため、第2の半導体素子6の裏面が露出することとなる。

図15において、第2の半導体素子側に接着層33を介して支持体32を貼り、第1の半導体基板の裏面（第1の半導体回路形成面の反対の面）から、貫通電極底部または孔底部に堆積した接続配線9の背面が露出するまで研削加工を行う。

【0019】

図16のように、必要に応じて、第1の半導体基板裏面の機械研削による損傷部除去のために半導体基板自体を所定量だけエッチング除去する。

また、図17のように、貫通電極底部の配線層9あるいは貫通電極底部自体の機械研削痕除去のために、この部分を所定量だけエッチング除去する。

なお、この第1の半導体基板1のエッチング除去や貫通電極底部のエッチング除去については、いずれか一方を省略することも、両方とも省略することも可能で、外部端子として用いることができ、さらにこれらの工程順を入れ替えることも可能である。

図18において、接着層33とともに支持体32を剥がし、前述の図3のような、貫通電極を有する半導体装置が形成される。

なお、貫通電極の第1の半導体基板回路1からの高さは、アスペクト比が小さくして決定する方が望ましい。しかし、あまり小さくすると総厚が薄くなってしまい、半導体基板（第1の半導体基板1の厚さと第2の半導体基板の厚さとの合計）自体の曲げ剛性が低下してしまう。したがって、実用的に厚く塗布したレジスト31が開口し、この部分をめっきで埋め込むことが可能である限界厚さが $50\mu\text{m}\sim 100\mu\text{m}$ 程度であるとする、半導体装置の総厚は $100\mu\text{m}$ 程度またはそれ以下であることがよい。

【0020】

なお、図19において、図13の絶縁材13の被覆の前に、第1の半導体基板1、第2の半導体基板2および貫通電極12に非導電ペースト（NCP：Non Conductive Paste）をプリコートして、フリップチップボンディング（フリップチップ接合）（FCB：Flip Chip Bonding

）後、樹脂などの絶縁材 1 3 で被覆することにより、非導電ペーストによる強度と信頼性とを向上させることができる。

この場合、非導電ペーストの他に、非導電フィルム（NCF: Non Conductiv Film）、異方導電ペースト（ACP: Anisotropic Conductiv Paste）、異方導電フィルム（ACF: Anisotropic Conductiv Film）を用いても同様の効果を得ることができる。

【 0 0 2 1 】

従来の半導体装置を製造する場合、貫通電極の形成では、アスペクト比が高く、深い孔 2 5 のエッチングと、孔 2 5 への被覆性の良い絶縁膜 2 6 およびめっきの下地金属 2 7 の堆積は困難であった。

また、深い孔 2 5 では、空洞形成の起こらない穴埋めめっきが困難なだけでなく、孔側壁部からも成長が行われるため、めっき液の流動性が良く、かつ電解集中しやすい孔上部の成長速度が早いことにより、空洞を発生させない穴埋めめっきは困難であった。

【 0 0 2 2 】

本実施の形態のような工程によって貫通電極を有する半導体装置を形成することにより、従来の貫通電極形成のための深い孔の形成や、その側壁への被覆性の良い絶縁膜の形成、電気めっきによる孔の穴埋め時に孔側壁や、特にその孔上部からのめっき成長による孔中央部付近のめっきの空洞を抑制するための困難な技術を用いることがない。

本実施の形態では、アスペクト比の低い孔の形成を行い、また、先に電気めっきにより孔底部からのめっき成長のみで貫通電極を立てた後、貫通電極周囲を絶縁材で覆うことにより、被覆の難しい電極側壁主要部の絶縁膜を堆積することなく、かつ、孔側壁部にめっきの陰極となる金属膜を堆積することなく、空洞の生じない貫通電極を簡単に形成することができる。

また、従来のほぼ 2 倍の集積度の半導体装置を容易に形成することができる。

【 0 0 2 3 】

実施の形態 4 .

図 2 0 および図 2 1 はこの発明の実施の形態 4 を示す半導体装置の断面図である。

なお、図 2 0 および図 2 1 において、前述（図 1 ～図 1 9 参照）と同一のものは同一符号を付して詳述を省略する。

図 2 0 および図 2 1 において、第 1 の半導体基板 1 において、第 1 の半導体基板 1 の周縁部以外（第 2 の半導体素子との対向する領域内）に第 1 の半導体基板内を貫通した新たな第 1 の外部端子 4 4 を設ける。

図 2 0 では、第 1 の外部端子 4 4 がバンプ電極 2 0 を介して第 2 の半導体素子 6 に接続されており、また、図 2 1 では、接続配線 9 を介して第 1 の半導体素子 5（第 1 の半導体回路 3）に接続されている。

このように、半導体装置は第 1 の外部端子 1 0、4 4 を通じて第 1 および第 2 の半導体回路とさまざまな接続方法が可能であり、設計の自由度を向上させることができる。

【 0 0 2 4 】

実施の形態 5.

上記実施の形態 4 に示した半導体装置の製造方法について説明する。

図 2 2 ～図 2 8 は、この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。

なお、図 2 2 ～図 2 8 において、前述（図 1 ～図 2 1 参照）と同一のものは同一符号を付して詳述を省略する。

図 2 2 において、所定の電気抵抗を有する P 型もしくは n 型の第 1 の半導体基板上に第 1 の半導体回路 3 を形成する。さらに、回路形成部は、予め、所定の孔形成部と接続部（電極部）との位置を除いて絶縁膜 3 0 で覆われている。

【 0 0 2 5 】

次に、図 2 3 において、絶縁膜 3 0 の上面にさらに第 1 の絶縁膜 4 0 を堆積し、所定厚のレジスト 3 1 を形成し、孔形成部を除去する。

図 2 4 において、第 1 の絶縁膜 4 0 をマスクとし、第 1 の半導体基板 1 の 2 箇所、3 箇所の孔形成部に所定深さの孔をそれぞれ形成する。

次に、図 2 5 において、第 1 の絶縁膜 4 0 の上面に第 2 の絶縁膜 4 0 を堆積す

る。さらに、エッチングにより、孔の底部および第 1 の半導体回路 3 の所定位置にある接続部（電極）の全ての絶縁膜と、接続配線 9 となる部分の第 2 の絶縁膜 4 0 とを除去する。

図 2 6 において、第 1 の半導体基板 1 の上面にめっきの下地となる金属膜 9 を堆積する。さらに、金属膜 9 または第 1 の半導体基板 1 を陰極として、孔、接続部および配線層 9 を含む第 1 の半導体基板の上面に対して電気めっきを行い、めっき金属 4 2 を成長させる。

【 0 0 2 6 】

次に、図 2 7 において、全面に成長した金属を第 2 の絶縁膜 4 0 が露出するまでめっき金属 4 2 を化学的機械研磨法（CMP）によって研削する。

このとき、第 2 の絶縁膜面より凹状になっている孔、接続部、配線層 9 の金属部分が残留する。

図 2 8 において、研削面に貫通電極形成部を開口したレジストパターン 3 1 を形成し、第 1 の半導体基板 1 を陰極として、電気めっきにより、金属をレジストパターン開口部に埋め込む。

以降、図 1 2 ～図 1 8 までの工程と同様に、第 1 の半導体素子 1 と第 2 の半導体素子 6 とを接続して、前述の図 2 0 および図 2 1 のような、貫通電極を有する半導体装置が形成される。

このように、従来のように困難な技術を用いることなく、貫通電極を形成でき、従来のほぼ 2 倍の集積度で、複数の外部端子を有する半導体装置を容易に形成することができる。

なお、ここではいわゆるデュアルダマシンの応用として示したが、フォトエッチングによる金属膜パターン形成と、孔部分の穴埋めっきとを用いても同様な構造の半導体装置を形成することができる。

【 0 0 2 7 】

実施の形態 6.

図 2 9 はこの発明の実施の形態 6 を示す半導体装置の断面図である。

なお、図 2 9 において、前述（図 1 ～図 2 8 参照）と同一のものは同一符号を付して詳述を省略する。

図 2 9 において、第 1 の半導体基板 1 の第 1 の外部端子側の面に露出した半導体に絶縁膜（裏面絶縁膜）6 0 を設けることにより、半導体装置が電氣的・化学的に安定したものとなり、信頼性を向上させることができる。

【 0 0 2 8 】

実施の形態 7.

上記実施の形態 6 に示した裏面絶縁膜 6 0 の形成方法について説明する。

図 3 0 ～図 3 2 は、この発明の実施の形態 7 を示す裏面絶縁膜 6 0 の形成方法の工程図である。

なお、図 3 0 ～図 3 2 において、前述（図 1 ～図 2 9 参照）と同一のものは同一符号を付して詳述を省略する。

図 3 0 において、図 1 6 の工程と同様に、第 1 の半導体基板裏面の機械研削による損傷部除去のため半導体基板自体を所定量だけエッチング除去する。

次に、図 3 1 において、電源 7 2 の一方を溶液中 7 1 の第 1 の半導体基板 1 に接続し、他方を第 1 の半導体基板 1 の第 1 の外部端子の露出面側に対向させて配置した電極（対向電極）7 0 を接続して、第 1 の半導体基板 1 に通電させる。第 1 の半導体基板 1 に通電させると、第 1 の半導体基板自体が露出した部分のみが陽極酸化し、裏面絶縁膜 6 0 が形成される。

なお、電極 7 0 を第 1 の外部端子の露出面側に対向させたが、必ずしも対向させる必要はない。

【 0 0 2 9 】

図 3 2 において、第 1 の外部端子 1 0 が形成される部分の接続配線 9 を除去し、貫通電極底部を露出させる。

このように、比較的簡単に、選択的に、すなわち、貫通電極底部を除く第 1 の半導体基板自体の露出部分のみに、裏面絶縁膜 6 0 を形成することができる。

また、同様に、電着塗装の原理により、絶縁性の有機膜を選択的に形成することもできる。

なお、半導体工程で一般的に用いられる絶縁膜の堆積と、電極部のエッチング除去による製造方法を用いることが可能であることはいうまでもない。

【 0 0 3 0 】

実施の形態 8.

図 3 3 はこの発明の実施の形態 8 を示す半導体装置の断面図である。

なお、図 3 3 において、前述（図 1 ～図 3 2 参照）と同一のものは同一符号を付して詳述を省略する。

図 3 3 において、第 1 および第 2 の外部端子のどちらか少なくとも一方に突起電極 8 0、8 1（第 1 の突起電極 8 0、第 2 の突起電極 8 1）を形成することにより、外部端子を介しての接続性を向上させることができる。

【0031】

実施の形態 9.

上記実施の形態 8 に示す第 2 の突起電極 8 1 の形成方法について説明する。

図 3 4 ～図 3 7 は、この発明の実施の形態 8 を示す第 2 の突起電極 8 1 の形成方法の工程図である。

なお、図 3 4 ～図 3 7 において、前述（図 1 ～図 3 3 参照）と同一のものは同一符号を付して詳述を省略する。

図 3 4 において、図 1 4 の工程と同様に、第 2 の半導体素子搭載側から絶縁材 1 3 を、貫通電極 1 2 が露出するまで研削する。

次に、図 3 5 において、電源 7 2 の一端を電気めっき液 9 0 中の第 1 の半導体基板 1 に接続し、他端を貫通電極 1 2 の露出面に対向配置された電極 7 0 を接続し、電極 7 0 を陽極、第 1 の半導体基板 1 を陰極にして、露出した貫通電極頭頂部を下地として電気めっきを行い、第 2 の突起電極 8 1 を形成する。

なお、電極 7 0 を貫通電極 1 2 の露出面側に対向配置させたが、必ずしも対向させる必要はない。

【0032】

次に、図 3 6 において、図 1 5 と同様に、第 2 の半導体素子側に接着層 3 3 を介して支持体 3 2 を貼り、第 1 の半導体基板 1 の裏面から、貫通電極底部または孔底部に堆積した接続配線 9 の背面が露出するまで研削加工を行う。

図 3 7 において、第 1 の半導体基板自体を所定量だけエッチング除去する。

図 3 5 の段階では、導通がある第 1 の半導体基板 1 ～貫通電極 1 2 がすべて電氣的に短絡しているため、以上のような電気めっきの工程を挿入することにより

、第 2 の外部端子上にのみ簡単に突起電極を形成することができる。

【 0 0 3 3 】

実施の形態 1 0 .

上記実施の形態 8 に示す第 1 の突起電極 8 0 の形成方法について説明する。

図 3 8 ～図 4 1 は、この発明の実施の形態 8 を示す第 1 の突起電極 8 0 の形成方法の工程図である。

なお、図 3 8 ～図 4 1 において、前述（図 1 ～図 3 7 参照）と同一のものは同一符号を付して詳述を省略する。

図 3 8 において、図 1 5 または図 1 6 に示す工程のように、貫通電極底部の下地金属層を除去した後、図 3 9 において、貫通電極底部に露出した金属を下地として、無電解めっき液 9 1 中で、無電解めっきにより、貫通電極底部に露出した金属のみに第 1 の突起電極 8 0 を形成する。

【 0 0 3 4 】

また、図 4 0 において、前述の図 3 7 の工程後、貫通電極底部の下地金属層を除去し、図 4 1 において、図 3 9 と同様に無電解めっきにより、貫通電極部に第 1 の突起電極 8 0 を形成することもできる。

例えば、貫通電極 1 2 が Cu により構成されている場合、無電解 Ni めっきなどによって選択的に成長する性質、すなわち、貫通電極底部に露出した金属（Cu 上）のみに無電解めっき皮膜（例えば Ni）が成長する性質を利用することで、簡単に突起電極を形成することができる。

【 0 0 3 5 】

実施の形態 1 1 .

図 4 2 は、この発明の実施の形態 1 1 を示す半導体装置の断面図である。

なお、図 4 2 において、前述（図 1 ～図 4 1 参照）と同一のものは同一符号を付して詳述を省略する。

図 4 2 に示す半導体装置は、前述までに示した半導体装置を複数積層したものである。

図 4 2 では、半導体装置を垂直方向に 2 つ積層しており、第 1 の突起電極 8 0 と、第 2 の突起電極 8 1 とを接続することにより半導体装置が積層されている。

また、上部の半導体装置の第 1 の突起電極側の面と、下部の半導体装置の第 2 の突起電極側の面とには、樹脂 1 1 0 による層が形成され、第 1 および第 2 の突起電極が接続されている。

【 0 0 3 6 】

このように、半導体装置を複数積層することにより、集積度が向上するとともに伝送路が短くできるため、動作速度を向上させることができる。

なお、貫通電極位置を同一にしておけば、個々の半導体素子は異なるものであってもよい。

また、図 4 2 では、半導体装置の上下にバンプ電極（第 1 および第 2 の突起電極）を形成した例で示したが、一方のみでも何ら機能上の差はない。

【 0 0 3 7 】

実施の形態 1 2.

図 4 3 は、この発明の実施の形態 1 2 を示す半導体装置の断面図である。

なお、図 4 3 において、前述（図 1 ～図 4 2 参照）と同一のものは同一符号を付して詳述を省略する。

図 4 3 に示す半導体装置は、前述までに示した半導体装置を垂直方向に 2 つ積層しており、各第 1 の突起電極 8 0 を接続することにより半導体装置が積層されている。

また、上部および下部の半導体装置の第 1 の突起電極側の面には、樹脂 1 1 0 による層が形成され、上部および下部の半導体装置の第 1 の突起電極が接続されている。

【 0 0 3 8 】

図 4 3 のように、第 1 の外部端子同士を接続して一体化したものは、第 1 の半導体基板 1 においてその裏面から第 1 の半導体回路（活性層）3 までの距離が短くそれだけ外乱などの影響を受けやすい。また、機械的にもどちらかといえばより脆弱なため、この面同士を対向させて接続することにより保護作用も得られる。

さらにこの場合、この保護作用のために第 1 の半導体基板裏面に形成する絶縁膜の形成を省略しても、この面同士の対向接続による保護作用により、同等の信

頼性を得ることができる。

【 0 0 3 9 】

実施の形態 1 3 .

図 4 4 および図 4 5 は、この発明の実施の形態 1 3 を示す半導体装置の断面図である。

なお、図 4 4 および図 4 5 において、前述（図 1 ～図 4 3 参照）と同一のものは同一符号を付して詳述を省略する。

図 4 4 および図 4 5 は、前述の実施の形態 4 における第 1 の外部端子を追加した半導体素子を積層したものであり、図 4 4 は、第 1 の突起電極同士を接続して一体化したものであり、図 4 5 は、第 2 の突起電極同士を接続して一体化したものである。

【 0 0 4 0 】

このような接続関係により、図 4 4 のように第 1 の半導体素子 5 の裏面同士を対向させて接続した場合、一体化したこれらの半導体素子相互の接続において端子数が多く伝送路も短くなることで、一体化した半導体素子内部での大規模かつ高速な信号処理が必要な場合に有効となる。

また、図 4 5 のように、第 2 の半導体素子 6 の裏面同士を対向させて接続した場合、第 1 の半導体素子 5 の裏面同士を接続した図 4 4 に比べ、一体化した半導体装置は、外部との接続端子を多く取れることから、外部との大規模な信号処理が必要な用途に有効となる。

【 0 0 4 1 】

実施の形態 1 4 .

図 4 6 ～図 4 9 は、この発明の実施の形態 1 4 を示す半導体装置の断面図である。

なお、図 4 6 ～図 4 9 において、前述（図 1 ～図 4 5 参照）と同一のものは同一符号を付して詳述を省略する。

図 4 6 および図 4 7 において、第 2 の半導体素子 6 の裏面（第 2 の半導体基板 2 の裏面）が絶縁材 1 3 で覆われており、図 4 6 に示す半導体装置は、貫通電極 1 2 や第 2 の半導体素子 6 の側面を覆う絶縁材 1 3 で、第 2 の半導体素子 6 の裏

面も同時に被覆したものである。また、図 4 7 に示す半導体装置は、貫通電極 1 2 や第 2 の半導体素子 6 の側面を覆う絶縁材 1 3 を被覆させる工程と、第 2 の半導体素子 6 の裏面を絶縁膜 1 4 0 で被覆させる工程とを、別の工程で行ったものである。

【 0 0 4 2 】

このように、第 2 の半導体素子 6 の裏面を絶縁材（絶縁膜）で被覆することにより、電氣的に安定するだけでなく、一般に絶縁材 1 3 は保護の機能も兼ね備えるため、化学的、機械的に耐性が向上することで信頼性が増す。

なお、図 4 7 のように、別工程で被覆する場合、この時の絶縁材 1 3 は同じ材質であっても、異なってもよい。

また、図 4 6 および図 4 7 の半導体装置についても同様に、図 4 8 および図 4 9 のように、表裏いずれか、または両方にパンプ電極（第 1 および第 2 の突起電極）を形成してもよい。第 1 および第 2 の突起電極形成による効果は、前述と同様である。

【 0 0 4 3 】

実施の形態 1 5 .

図 5 0 ～図 5 5 は、この発明の実施の形態 1 5 を示す半導体装置の断面図である。

なお、図 5 0 ～図 5 5 において、前述（図 1 ～図 4 9 参照）と同一のものは同一符号を付して詳述を省略する。

図 5 0 は、前述の実施の形態 1 4 で絶縁被覆された第 2 の半導体素子裏面の領域に配線層 1 5 0 を形成した半導体装置を示す。配線層 1 5 0 は 1 層である必要は無く、層間絶縁膜を介して 2 層以上形成することができる。電極形成部を除く、配線層 1 5 0 の上面には保護膜 1 5 1 が形成されている。この保護層 1 5 1 は露出する配線材の性質によっては省略することができる。

配線層 1 5 0 の上面の所定位置は、電極（ランド） 1 5 2 が形成されている。

また、図 5 1 では、電極 1 5 2 の配置位置を複数にするような絶縁膜パターンで決定することにより、再配線（配線層） 1 5 0 の一部を複数の外部端子として使用することができる。

【 0 0 4 4 】

図 5 2 ～ 図 5 4 のように、第 2 の半導体素子裏面に配線層 1 5 0 を形成し、さらに、電極形成部を除く配線層上面には保護膜 1 5 1 を形成する。電極形成部には電極 1 5 2 を形成し、第 1 の半導体基板 1 の裏面の研削加工、エッチング除去を行い、無電解めっきによりバンプ電極（第 1 の突起電極 8 0）を形成する。図 5 5 のように、電極 1 5 2 にはんだボール 1 6 0 を形成してもよい。

【 0 0 4 5 】

このように、第 2 の半導体素子 6 の裏面側を電極（外部端子）として有効に利用することができるため、上部に露出した貫通電極頭頂部の大きさに制約されることなく、大きな電極を配置することができる。

また、電極の配置の自由度を向上させることができ、電極数（外部端子数）も多く取ることができる。

また、集積度が向上するとともに、設計の自由度を増すことができる。

なお、ここでは、実施の形態 1 4 の図 4 6 に対応する形態で示したが、図 4 7 にも同様な構造を施しても、同様な効果を得ることができる。

【 0 0 4 6 】

実施の形態 1 6.

上記実施の形態 1 4 の図 4 6 に示す半導体装置の製造方法について説明する。

図 5 6 ～ 図 5 9 は、この発明の実施の形態 1 6 を示す半導体装置の製造方法の工程図である。

なお、図 5 6 ～ 図 5 9 において、前述（図 1 ～ 図 5 5 参照）と同一のものは同一符号を付して詳述を省略する。また、製造工程において、前述の図 6 ～ 図 9、図 1 5 ～ 図 1 8 に示す工程は同一であるため説明を省略し、図 1 0 ～ 図 1 4 に対応する説明を行う。

図 5 6 において、後に接続する第 2 の半導体素子 6 の厚さよりも厚いレジストパターン 3 1 を孔形成部に開口する。

【 0 0 4 7 】

次に、図 5 7 において、第 1 の半導体基板 1 を陰極として、電気めっきにより、電極材（貫通電極） 1 2 をレジストパターン開口部に埋め込む。

埋め込む際、接続する第 2 の半導体素子 6 の裏面よりも高く、かつレジスト厚より低く電極材をめっきする。

図 5 8 において、搭載時の第 2 の半導体素子 6 の裏面よりも、めっきした電極材の柱（貫通電極）1 2 が高くなるように、第 2 の半導体素子 6 は予め薄く加工し、バンプ電極 2 0 を介して第 1 の半導体素子 5 と接続する。

図 5 9 において、樹脂やガラスなどの絶縁材 1 3 で被覆し、硬化させ、形成された貫通電極 1 2 の頭頂部が露出するまで研削加工を行う。

【 0 0 4 8 】

このとき、第 2 の半導体素子 6 の厚さはめっきされた貫通電極の高さよりも薄いため、絶縁材 1 3 は、貫通電極 1 2 の側面とともに、第 2 の半導体素子 6 の裏面にも被覆される。

このように、レジスト厚、めっきの高さ、搭載する半導体素子の厚さを変えるだけで、実施の形態 3 に示された各工程をそのまま利用し、簡単に第 2 の半導体素子 6 の裏面を絶縁被覆することができる。

【 0 0 4 9 】

実施の形態 1 7.

上記実施の形態 1 4 の図 4 6 および図 4 8 に示す半導体装置の製造方法について説明する。

図 6 0 ～図 6 3 は、この発明の実施の形態 1 7 を示す半導体装置の製造方法の工程図である。

なお、図 6 0 ～図 6 3 において、前述（図 1 ～図 5 9 参照）と同一のものは同一符号を付して詳述を省略する。また、製造工程において、前述の図 6 ～図 9、図 1 5 ～図 1 8 に示す工程は同一であるため説明を省略し、図 1 0 ～図 1 4 に対応する説明を行う。

【 0 0 5 0 】

図 6 0 において、予め所定の厚さに研削した第 2 の半導体素子 6 を所定の位置に、バンプ電極 2 0 および所定の電極（第 1 の電極 7）を介して接続する。

次に、図 6 1 において、例えば感光性ポリイミドのような当初流動性があり、塗布後に感光性を有し、マスクを介した露光によってパターン形成が可能で、さ

らに硬化後良好な絶縁膜 1 3 となる材料を、第 2 の半導体素子 6 の厚さより厚く塗布する。

第 2 の半導体素子全体を絶縁膜 1 3 で覆った後、露光・現像により、孔部分を開口し、硬化させる。

図 6 2 において、開口部に第 1 の半導体基板 1 を陰極とし、接続配線層 9 を下地として第 2 の半導体素子 6 の厚さより高く、電気めっきにより導電材を埋め込み、導電材の柱（貫通電極）1 7 0 を形成する。

図 6 3 において、このとき、電気めっき工程で感光性ポリイミド面より突出させてバンプ電極としてもよく、この場合には、別途バンプ電極を形成する工程を省略することができる。

【 0 0 5 1 】

この後、必要に応じて、第 2 の半導体素子 6 の裏面側から感光性ポリイミドを研削して貫通電極となる導電材の柱 1 7 0 の頭頂部を露出させ、頭頂部と、感光性ポリイミド表面を同一の平坦面としてもよい。このとき、第 2 の半導体素子 6 はめっきの柱より薄いため、第 2 の半導体素子裏面にポリイミド膜が絶縁膜 1 3 として残留する。

このように、第 2 の半導体素子搭載の後に、第 2 の半導体素子厚より厚いめっきの柱を形成することができるので、第 2 の半導体素子 6 の搭載、位置合わせが簡単になる。

【 0 0 5 2 】

実施の形態 1 8 .

図 6 4 ～図 6 6 は、この発明の実施の形態 1 8 を示す半導体装置の製造方法の工程図である。

なお、図 6 4 ～図 6 6 において、前述（図 1 ～図 6 3 参照）と同一のものは同一符号を付して詳述を省略する。また、製造工程において、前述の図 6 ～図 1 8 に示す工程は同一であるため説明を省略し、図 1 4 と図 1 5 との工程の間に以下に説明する工程を追加する。

図 6 4 において、図 1 4 と同様に、絶縁材 1 3 を研削して貫通電極頭頂部を露出させる。

【 0 0 5 3 】

次に、図 6 5 において、例えば感光性ポリイミドのような当初流動性があり、塗布後に感光性を有し、マスクを介した露光によってパターン形成が可能で、さらに硬化後良好な絶縁膜となる材料 1 8 0 を、第 2 の半導体素子 6 の裏面に一定膜厚で塗布する。

図 6 6 において、塗布した材料 1 8 0 が感光性を有する絶縁膜の場合は、露光・現像により、露出した貫通電極頭頂部を開口し、熱硬化によって絶縁膜とする。また、感光性の無い場合は、別途フォトリソットによりパターン形成し、エッチングする。

このようにして得られたものは、信頼性の高い良好な絶縁膜となる。

【 0 0 5 4 】

また、ここでは絶縁膜として感光性ポリイミドを用いたが、化学的気相成長法 (CVD: Chemical Vapor Deposition) などの成膜技術による堆積と、フォトリソットとを用いたエッチングによるパターン形成といった半導体工程で良く知られた技術を用いることにより、さらに微細加工性と信頼性とのよいものとなる。

また、微細加工性においては若干落ちるがスクリーン印刷といったやはりよく知られた手法を用いて簡単に形成することができる。また、この手法を (金属) 配線と層間絶縁膜、保護膜に適用して、第 2 の半導体素子 6 の裏面に再配線や新たな外部端子を簡単に形成することができる。

さらにこの手法は、前述の実施の形態 1 6 において再配線などを形成する場合にも適用することができる。

【 0 0 5 5 】

図 9 3、図 9 4 は、この発明の実施の形態 1 8 を示す半導体装置の製造方法の工程図である。

この絶縁膜の形成は、図 9 3 および図 9 4 に示すように、第 1 の半導体基板に通電することによって、少なくとも共通である接地電位によって第 1 の半導体基板 1 ~ 貫通電極 1 2 ~ バンプ電極 2 0 を介して第 2 の半導体素子 6 に電氣的に接続していることから、第 2 の半導体素子 6 の裏面に電着塗装と同様な方法によっ

て、例えばポリイミド系の材料などを絶縁膜 1 8 2 として選択的に被着することができる。

また、この方法と同様に、陽極酸化によっても絶縁膜を形成することができる。

さらに、これらの方法は、第 1 の半導体基板 1 を研削し、支持体を引き剥がした後、実施の形態 7 による同様な絶縁膜形成（裏面絶縁膜 6 0）を同時に行うこともできる。

【 0 0 5 6 】

実施の形態 1 9 .

図 6 7 は、この発明の実施の形態 1 9 を示す半導体装置の断面図であり、図 6 8 ～図 7 2 は、この発明の実施の形態 1 9 を示す半導体装置の製造方法の工程図である。

なお、図 6 7 ～図 7 2 において、前述（図 1 ～図 6 6 参照）と同一のものは同一符号を付して詳述を省略する。

図 6 7 に示す半導体装置は、第 1 の半導体基板 1 として、いわゆる S O I （ S i l i c o n o n I n s u l a t o r ）基板と呼ばれる基板を用いている。

S O I 基板は、半導体基板母材（半導体） 1 9 0 の上層に絶縁膜（埋め込み絶縁膜） 1 9 1 と、さらにその上層に極薄の半導体膜（活性層）を有する基板である。

【 0 0 5 7 】

この S O I 基板（第 1 の半導体基板） 1 を用いた半導体装置の製造方法は、前述の実施の形態 3 で示した方法とほぼ同じである。

次に、S O I 基板 1 を用いた半導体装置の製造方法について説明する。

図 6 8 において、第 1 の半導体基板として S O I 基板を用い、S O I 基板の極薄の半導体膜と、埋め込み絶縁膜 1 9 1 とを超えて半導体基板母材 1 9 0 まで達する孔を形成する。

次に、図 6 9 において、図 8 および図 9 の工程と同様に、S O I 基板上面に絶縁膜を堆積し、エッチングにより孔底部と電極部との絶縁膜を除去して、接続配線 9 を形成する。

図 7 0 において、図 1 0 および図 1 1 の工程と同様に、レジスト開口部に電気めっきにより貫通電極材を埋め込む。このとき、孔底部は、S O I 基板母材 1 9 0 にまで達しているため、S O I 基板母材（半導体）の導電性を利用してめっきすることができる。

【 0 0 5 8 】

次に、図 7 1 において、図 1 2 ～図 1 4 の工程と同様に、第 2 の半導体素子 6 を載置し、絶縁材 1 3 で被覆した後、貫通電極頭頂部が露出するまで研削加工する。なお、図 7 1 では、S O I 基板母材 1 9 0 を陰極として、めっきによりパンプ電極（第 2 の突起電極）8 1 を形成している。

図 7 2 において、第 2 の半導体基板 2 の裏面に接着層 3 3 を介して支持体 3 2 を接着させ、S O I 基板 1 の裏面側の貫通電極底部が露出するまで、S O I 基板 1 の裏面に残留した半導体基板母材 1 9 0 のみをエッチングにより除去する。

このとき、埋め込み絶縁膜上に極薄の半導体膜が形成されていて半導体基板母材 1 9 0 は最終的に無くなる。したがって、半導体回路の設計と半導体回路の製造工程とを適切に行うことで、半導体基板と貫通電極との短絡がおこらず、接続配線形成前の絶縁膜の堆積の工程と、孔底部の除去工程を省略することができる。

【 0 0 5 9 】

また、貫通電極材の電気めっきは、この時点で除去されていない半導体基板母材 1 9 0 の導電性を同じように利用するため特殊な工程は必要ない。

さらに半導体基板母材研削後の半導体基板母材のエッチング除去は、埋め込み酸化膜（絶縁膜）1 9 1 で除去が自動的に停止するため、エッチング量の制御が不要となる。

このように、S O I 基板は、埋め込み酸化膜 1 9 1 があらかじめ形成されているため、改めて絶縁膜を形成する必要が無く、電氣的な安定性がよく信頼性の高い半導体装置を製造することができる。

なお、ここでは実施の形態 1 ～1 3 において、第 1 の半導体基板 1 を S O I 基板で置きかえる例を示したが、実施の形態 1 4 ～1 8 においても同様に置きかえることができる。

また、ここでは、半導体基板中に埋め込み酸化膜 1 9 1 を形成した、いわゆる埋め込み酸化型 S O I 基板について説明したが、半導体基板表面に予め酸化膜を形成し、これを別の半導体基板に高温で貼り付け、一方の半導体基板を所定厚まで研削した、いわゆる貼り合わせ型 S O I 基板を用いてもよい。

さらにここでは、第 1 の半導体基板として S O I 基板を用いる例をもって示したが、絶縁基板上に薄膜トランジスタを形成した、いわゆる T F T (Thin Film Transistor) 基板の裏面に導電層を形成し、この導電層に達するように孔を形成し、この導電層に通電することで貫通電極をめっきし、最終的にこの導電層を除去することで、同一構造同一作用の半導体装置が得られる。

【 0 0 6 0 】

実施の形態 2 0 .

図 7 3 は、この発明の実施の形態 2 0 を示す半導体装置の断面図である。

なお、図 7 3 において、前述（図 1 ～図 7 2 参照）と同一のものは同一符号を付して詳述を省略する。

図 7 3 において、S O I 基板 1 に形成した第 1 の半導体素子 5 の裏面に露出した埋め込み絶縁膜背面に、配線層 1 5 0 を形成する。

この配線層 1 5 0 は、半導体工程で良く用いられる手法を用いて再配線するもので、絶縁膜 1 9 1 により簡単に再配線することができる。

また、この S O I 基板 1 の半導体基板母材 1 9 0 を裏面研削する際に、貫通電極底部が露出する時点で研削を停止せず、半導体基板母材 1 9 0 を完全に除去して埋め込み酸化膜背面（絶縁膜背面）が露出するまで研削すると、段差がない絶縁体 1 9 1 の面が得られるために、さらに簡単に配線層 1 5 0 を形成することができる。

さらに、この配線層 1 5 0 に突起電極 8 0 を形成してもよい。

【 0 0 6 1 】

実施の形態 2 1 .

図 7 4 および図 7 5 は、この発明の実施の形態 2 1 を示す半導体装置の断面図である。

なお、図 7 4 および図 7 5 において、前述（図 1 ～図 7 3 参照）と同一のもの

は同一符号を付して詳述を省略する。

図 7 4 は、実施の形態 4 と実施の形態 1 9 とを組み合わせた半導体装置であり、図 7 5 は、実施の形態 4 と実施の形態 2 0 とを組み合わせた半導体装置である。

【 0 0 6 2 】

図 7 4 において、S O I 基板 1 の埋め込み酸化膜（絶縁膜）1 9 1 の背面を、配線で迂回させずに第 1 の外部端子として利用できるため、電送路が最短で、端子数を増加させることができる。

さらに、この S O I 基板 1 を用いると、第 1 の半導体回路 3 を形成した極薄の半導体層と埋め込み酸化膜 1 9 1 との合計厚さは依然として薄いため、孔形成のエッチング深さは極めて浅くでき、孔部分の導電材埋め込みは、めっきによらず接続配線 9 の成膜によって埋め込めるため、製造が簡単で、微細な端子を多数形成させることができる。

なお、図 7 5 のように、S O I 基板 1 の裏面に配線層 1 5 0 を形成し、突起電極 8 0 を形成してもよい。

【 0 0 6 3 】

実施の形態 2 2 .

図 7 6 および図 7 7 は、この発明の実施の形態 2 2 を示す半導体装置の断面図である。

なお、図 7 6 および図 7 7 において、前述（図 1 ～図 7 5 参照）と同一のものは同一符号を付して詳述を省略する。

図 7 6 に示す半導体装置は、第 2 の半導体基板 2 （第 2 の半導体素子 6 ）として、S O I 基板あるいは、絶縁基板上に形成された薄膜トランジスタ（T F T : Thin Film Transistor）を用いる。

図 7 7 に示す半導体装置は、図 7 4 に示す半導体装置の第 2 の半導体基板 2 として、S O I 基板を用いる。

したがって、前述の実施の形態 1 ～1 3 と、第 1 の半導体基板 1 として S O I 基板を適用した実施の形態とにおいて、予め絶縁層が存在する基板を用いることにより、第 2 の半導体素子 6 の裏面に絶縁膜を形成せずに、より簡単に、第 2 の

半導体素子 6 の裏面を絶縁材（絶縁膜）で被覆した実施の形態 1 4 と同様に、電氣的に安定し、化学的、機械的に耐性が向上することで信頼性を増すことができる。

【 0 0 6 4 】

この場合の半導体装置の製造方法は、実施の形態 3 において、図 1 2 の工程で第 2 の半導体素子 6 として S O I 基板を用いたものか、あるいは絶縁基板上に形成した薄膜トランジスタを用いる。

また、図 1 4 の工程において、第 2 の半導体素子 6 の絶縁材背面が露出するまで研削加工する。

【 0 0 6 5 】

実施の形態 2 3 .

図 7 8 および図 7 9 は、この発明の実施の形態 2 3 を示す半導体装置の断面図である。

なお、図 7 8 および図 7 9 において、前述（図 1 ～図 7 7 参照）と同一のものは同一符号を付して詳述を省略する。

図 7 8 は、図 7 6 に示した半導体装置において、第 2 の半導体素子裏面に露出した絶縁材背面に配線層 1 5 0 を形成し、背面を外部端子の配置領域として利用する。

図 7 8 のように、配線層 1 5 0 の上面に、バンプ電極（第 2 の突起電極 8 1 ）を形成してもよい。

したがって、集積度を向上させ、接続端子数を増加させることを、絶縁膜形成工程の追加なしに行うことができる。

なお、図 7 9 のように、図 7 7 に示す半導体装置の第 1 の半導体素子裏面にも配線層 1 5 0 を形成してもよい。

【 0 0 6 6 】

実施の形態 2 4 .

図 8 0 および図 8 1 は、この発明の実施の形態 2 4 を示す半導体装置の断面図である。

なお、図 8 0 および図 8 1 において、前述（図 1 ～図 7 9 参照）と同一のもの

は同一符号を付して詳述を省略する。

図 8 0 は、図 4 6 に示した半導体装置の第 2 の半導体素子 6 の裏面に形成した再配線（配線層 1 5 0）を介して、第 3 の半導体素子 2 4 0 を積層する。第 3 の半導体素子 2 4 0 は、第 2 の半導体素子 6 と同一構造をとる。

図 8 1 は、図 7 9 に示した半導体装置の第 2 の半導体素子 6 の裏面に形成された再配線（配線層 1 5 0）を介して、S O I 基板または T F T 基板で形成された第 3 半導体素子 2 4 0 および第 4 の半導体素子 2 4 4 を順次積層する。第 3 および第 4 の半導体素子 2 4 0、2 4 4 は、第 2 の半導体素子 6 と同一構造をとる。図 8 1 では、表裏両面にバンプ電極（突起電極 8 0、8 1）が形成されている。

このように、同じ構造を繰り返すことにより、複数の半導体素子を積層することができ、これにより集積度の向上を図ることができる。

【 0 0 6 7 】

実施の形態 2 5.

図 8 2 ～図 8 6 は、この発明の実施の形態 2 5 を示す半導体装置の製造方法の工程図である。

なお、図 8 2 ～図 8 6 において、前述（図 1 ～図 8 1 参照）と同一のものは同一符号を付して詳述を省略する。

図 8 2 ～図 8 6 に示す製造方法は、実施の形態 2 4 に示す半導体装置を製造する方法であり、実施の形態 1 6 ～1 8、あるいは実施の形態 2 2、2 3 の再配線形成において、第 3 の半導体素子 2 4 0 に形成したバンプ電極位置にこれと接続する端子を形成し、以下実施の形態 1 6 ～1 8 と同じ方法を繰り返し、貫通電極 1 2 を上方に延長するものである。

【 0 0 6 8 】

図 8 2 において、第 1 および第 2 の半導体素子 5、6 は S O I 基板を用いる。

図 8 3 において、研削により、第 2 の半導体基板裏面の絶縁層と、貫通電極頭頂部を露出させる。

図 8 4 において、第 2 の半導体基板 2 に再配線を施し、貫通電極形成部を開口したレジストパターン 3 1 を形成する。そして、第 1 の半導体基板 1 を陰極として、電気めっきにより、延長させる貫通電極 1 2 を埋め込む。

図 8 5 において、レジスト 3 1 を除去し、S O I 基板からなる第 3 の半導体素子 2 4 0 を載置し、絶縁材 1 3 を被覆させる。

図 8 6 において、図 8 3 の工程と同様に研削加工して、延長した貫通電極頭頂部と第 2 の半導体基板裏面の絶縁層を露出させる。

【 0 0 6 9 】

さらに第 4 の半導体素子以降を積層する場合には、図 8 2 から図 8 6 までの工程を繰り返す。

最後に、第 1 の半導体基板裏面を研削し、貫通電極底部を露出させる。このとき、表裏にバンプ電極（突起電極）を形成してもよい。

貫通電極 1 2 の延長は、実施の形態 1 7、1 8 に示された方法でも同様に可能である。

このような方法により、集積度を向上させる半導体装置を製造することができる。

【 0 0 7 0 】

実施の形態 2 6 .

図 8 7 は、この発明の実施の形態 2 6 を示す半導体装置の断面図である。

なお、図 8 7 において、前述（図 1 ～図 8 6 参照）と同一のものは同一符号を付して詳述を省略する。

図 8 7 は、前述の実施の形態 1 ～2 5 による構造を複合して積層した半導体装置を示し、実施の形態 8 の図 3 3 に示した半導体装置 2 6 0 と、実施の形態 1 5 の図 5 5 に示した半導体装置 2 6 1 とを積層した半導体装置を示す。

図 8 7 では、図 3 3 に示した半導体装置 2 6 0 を 2 個と、図 5 5 に示した半導体装置を 1 個とで、積層したものを示したが、前述の実施の形態 1 ～2 5 で示した半導体装置のどれをどの順に何個積層してもよい。これにより、多様な半導体装置による極めて大規模な積層が可能となる。

【 0 0 7 1 】

実施の形態 2 7 .

図 8 8 および図 8 9 は、この発明の実施の形態 2 7 を示す半導体装置の断面図である。

なお、図 8 8 および図 8 9 において、前述（図 1 ～図 8 7 参照）と同一のものは同一符号を付して詳述を省略する。

図 8 8 に示す半導体装置は、1 枚の第 1 の半導体基板上に複数の第 2 の半導体素子 6 を平面的に搭載する半導体モジュールである。

図 8 9 に示す半導体装置は、第 1 の半導体基板上に、互いに独立した第 1 の半導体回路群を形成し、その各々に第 2 の半導体素子を載置している。図 8 9 において、「A」の部分で切断し、個片化すると、図 1、3 などに示した半導体装置となる。

このような半導体装置は、実施の形態 3 で示した製造方法によって同様に得られるものあり、これにより大規模な集積化が可能となる。

【 0 0 7 2 】

実施の形態 2 8.

図 9 0 は、この発明の実施の形態 2 8 を示す半導体装置の断面図である。

図 9 0 は、実施の形態 2 7 に示した半導体モジュール 2 9 0 に、実施の形態 2 5 の積層構造により第 3 の半導体素子群 2 9 1 を組み合わせた半導体装置で、これにより平面と積層の複合した大規模な半導体モジュールとなる。

【 0 0 7 3 】

実施の形態 2 9.

図 9 1 は、この発明の実施の形態 2 9 を示す半導体装置の断面図である。

図 9 1 は、実施の形態 2 7、2 8 で示した半導体モジュールの第 1 の半導体基板 1 と、反対側に露出した接続端子に、実施の形態 1 ～1 0、実施の形態 1 4 ～2 3 の半導体装置または実施の形態 1 1 ～1 3、実施の形態 2 6 の積層した半導体装置を接続したもの（図 4 2 ～4 5、8 7 の積層構造を複合したもの）で、極めて大規模な複合型の半導体モジュールとなる。

【 0 0 7 4 】

実施の形態 3 0.

図 9 2 は、この発明の実施の形態 3 0 を示す半導体装置の断面図である。

なお、図 9 2 において、前述（図 1 ～図 9 1 参照）と同一のものは同一符号を付して詳述を省略する。

図 3 0 は、第 1 の半導体基板 1 に第 1 の半導体回路 3 を形成しない場合で、集積度は前述までのものに比べて劣るものの、構造が単純であって製造工程が短いために、歩留まりが良く、安価な半導体装置を得ることができる。

さらに、第 1 の半導体基板 1 に代えて金属板を用いても同様の構造を得ることができる。

また、裏面研削の際、裏面研削あるいはこれにエッチングを併用して、第 1 の半導体基板の半導体基板母材や金属板をすべて除去してもよい。

【 0 0 7 5 】

【発明の効果】

以上のように、この発明によれば、互いに対向配置された対向面を有する第 1 および第 2 の半導体基板と、第 1 の半導体基板の対向面上に形成され、第 1 の半導体回路および第 1 の電極からなる第 1 の半導体素子と、第 2 の半導体基板の対向面上に形成され、第 2 の半導体回路および第 2 の電極からなる第 2 の半導体素子と、第 1 および第 2 の電極の間に挟持された導電材からなる配線層と、第 1 の半導体基板を貫通するとともに、配線層を介して第 1 および第 2 の電極に接続された貫通電極とを備え、第 2 の半導体基板は第 1 の半導体基板に搭載され、貫通電極の側面方向に離間配置され、第 1 の半導体基板から突出した貫通電極の側面および第 2 の半導体素子の側面は絶縁材で被覆され、貫通電極の一端は、第 1 の半導体基板の裏面で第 1 の外部端子として露出し、貫通電極の他端は、第 2 の半導体基板の裏面と同一高さに位置するとともに、第 2 の外部端子として絶縁材から露出したので、従来の半導体装置とほぼ同じ体積で、従来よりも多くの半導体回路を搭載可能な半導体装置を容易に製造することのできる半導体装置が得られる効果がある。

【図面の簡単な説明】

【図 1】 図 1 はこの発明の実施の形態 1 を示す半導体装置の断面図である。

【図 2】 従来の半導体装置の断面図である。

【図 3】 この発明の実施の形態 2 を示す半導体装置の断面図である。

【図 4】 従来の半導体装置の製造方法の工程図である。

【図 5】 従来の半導体装置の製造方法の工程図である。

【図 6】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 7】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 8】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 9】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 0】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 1】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 2】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 3】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 4】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 5】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 6】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 7】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 8】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

【図 1 9】 この発明の実施の形態 3 を示す半導体装置の製造方法の工程図である。

- 【図 2 0】 この発明の実施の形態 4 を示す半導体装置の断面図である。
- 【図 2 1】 この発明の実施の形態 4 を示す半導体装置の断面図である。
- 【図 2 2】 この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。
- 【図 2 3】 この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。
- 【図 2 4】 この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。
- 【図 2 5】 この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。
- 【図 2 6】 この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。
- 【図 2 7】 この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。
- 【図 2 8】 この発明の実施の形態 5 を示す半導体装置の製造方法の工程図である。
- 【図 2 9】 この発明の実施の形態 6 を示す半導体装置の断面図である。
- 【図 3 0】 この発明の実施の形態 7 を示す裏面絶縁膜の形成方法の工程図である。
- 【図 3 1】 この発明の実施の形態 7 を示す裏面絶縁膜の形成方法の工程図である。
- 【図 3 2】 この発明の実施の形態 7 を示す裏面絶縁膜の形成方法の工程図である。
- 【図 3 3】 この発明の実施の形態 8 を示す半導体装置の断面図である。
- 【図 3 4】 この発明の実施の形態 9 を示す第 2 の突起電極の形成方法の工程図である。
- 【図 3 5】 この発明の実施の形態 9 を示す第 2 の突起電極の形成方法の工程図である。
- 【図 3 6】 この発明の実施の形態 9 を示す第 2 の突起電極の形成方法の工

程図である。

【図 3 7】 この発明の実施の形態 9 を示す第 2 の突起電極の形成方法の工程図である。

【図 3 8】 この発明の実施の形態 1 0 を示す第 1 の突起電極の形成方法の工程図である。

【図 3 9】 この発明の実施の形態 1 0 を示す第 1 の突起電極の形成方法の工程図である。

【図 4 0】 この発明の実施の形態 1 0 を示す第 1 の突起電極の形成方法の工程図である。

【図 4 1】 この発明の実施の形態 1 0 を示す第 1 の突起電極の形成方法の工程図である。

【図 4 2】 この発明の実施の形態 1 1 を示す半導体装置の断面図である。

【図 4 3】 この発明の実施の形態 1 2 を示す半導体装置の断面図である。

【図 4 4】 この発明の実施の形態 1 3 を示す半導体装置の断面図である。

【図 4 5】 この発明の実施の形態 1 3 を示す半導体装置の断面図である。

【図 4 6】 この発明の実施の形態 1 4 を示す半導体装置の断面図である。

【図 4 7】 この発明の実施の形態 1 4 を示す半導体装置の断面図である。

【図 4 8】 この発明の実施の形態 1 4 を示す半導体装置の断面図である。

【図 4 9】 この発明の実施の形態 1 4 を示す半導体装置の断面図である。

【図 5 0】 この発明の実施の形態 1 5 を示す半導体装置の断面図である。

【図 5 1】 この発明の実施の形態 1 5 を示す半導体装置の断面図である。

【図 5 2】 この発明の実施の形態 1 5 を示す半導体装置の断面図である。

【図 5 3】 この発明の実施の形態 1 5 を示す半導体装置の断面図である。

【図 5 4】 この発明の実施の形態 1 5 を示す半導体装置の断面図である。

【図 5 5】 この発明の実施の形態 1 5 を示す半導体装置の断面図である。

【図 5 6】 この発明の実施の形態 1 6 を示す半導体装置の製造方法の工程図である。

【図 5 7】 この発明の実施の形態 1 6 を示す半導体装置の製造方法の工程図である。

【図 5 8】 この発明の実施の形態 1 6 を示す半導体装置の製造方法の工程図である。

【図 5 9】 この発明の実施の形態 1 6 を示す半導体装置の製造方法の工程図である。

【図 6 0】 この発明の実施の形態 1 7 を示す半導体装置の製造方法の工程図である。

【図 6 1】 この発明の実施の形態 1 7 を示す半導体装置の製造方法の工程図である。

【図 6 2】 この発明の実施の形態 1 7 を示す半導体装置の製造方法の工程図である。

【図 6 3】 この発明の実施の形態 1 7 を示す半導体装置の製造方法の工程図である。

【図 6 4】 この発明の実施の形態 1 8 を示す半導体装置の製造方法の工程図である。

【図 6 5】 この発明の実施の形態 1 8 を示す半導体装置の製造方法の工程図である。

【図 6 6】 この発明の実施の形態 1 8 を示す半導体装置の製造方法の工程図である。

【図 6 7】 この発明の実施の形態 1 9 を示す半導体装置の断面図である。

【図 6 8】 この発明の実施の形態 1 9 を示す半導体装置の製造方法の工程図である。

【図 6 9】 この発明の実施の形態 1 9 を示す半導体装置の製造方法の工程図である。

【図 7 0】 この発明の実施の形態 1 9 を示す半導体装置の製造方法の工程図である。

【図 7 1】 この発明の実施の形態 1 9 を示す半導体装置の製造方法の工程図である。

【図 7 2】 この発明の実施の形態 1 9 を示す半導体装置の製造方法の工程図である。

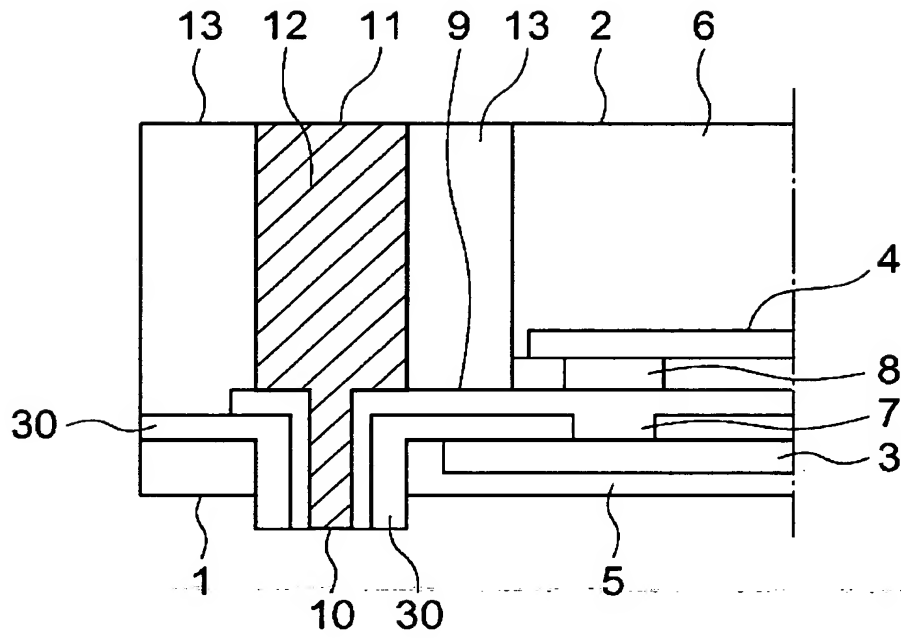
- 【図 7 3】 この発明の実施の形態 2 0 を示す半導体装置の断面図である。
- 【図 7 4】 この発明の実施の形態 2 1 を示す半導体装置の断面図である。
- 【図 7 5】 この発明の実施の形態 2 1 を示す半導体装置の断面図である。
- 【図 7 6】 この発明の実施の形態 2 2 を示す半導体装置の断面図である。
- 【図 7 7】 この発明の実施の形態 2 2 を示す半導体装置の断面図である。
- 【図 7 8】 この発明の実施の形態 2 3 を示す半導体装置の断面図である。
- 【図 7 9】 この発明の実施の形態 2 3 を示す半導体装置の断面図である。
- 【図 8 0】 この発明の実施の形態 2 4 を示す半導体装置の断面図である。
- 【図 8 1】 この発明の実施の形態 2 4 を示す半導体装置の断面図である。
- 【図 8 2】 この発明の実施の形態 2 5 を示す半導体装置の製造方法の工程図である。
- 【図 8 3】 この発明の実施の形態 2 5 を示す半導体装置の製造方法の工程図である。
- 【図 8 4】 この発明の実施の形態 2 5 を示す半導体装置の製造方法の工程図である。
- 【図 8 5】 この発明の実施の形態 2 5 を示す半導体装置の製造方法の工程図である。
- 【図 8 6】 この発明の実施の形態 2 5 を示す半導体装置の製造方法の工程図である。
- 【図 8 7】 この発明の実施の形態 2 6 を示す半導体装置の断面図である。
- 【図 8 8】 この発明の実施の形態 2 7 を示す半導体装置の断面図である。
- 【図 8 9】 この発明の実施の形態 2 7 を示す半導体装置の断面図である。
- 【図 9 0】 この発明の実施の形態 2 8 を示す半導体装置の断面図である。
- 【図 9 1】 この発明の実施の形態 2 9 を示す半導体装置の断面図である。
- 【図 9 2】 この発明の実施の形態 3 0 を示す半導体装置の断面図である。
- 【図 9 3】 この発明の実施の形態 1 8 を示す半導体装置の製造方法の工程図である。
- 【図 9 4】 この発明の実施の形態 1 8 を示す半導体装置の製造方法の工程図である。

【符号の説明】

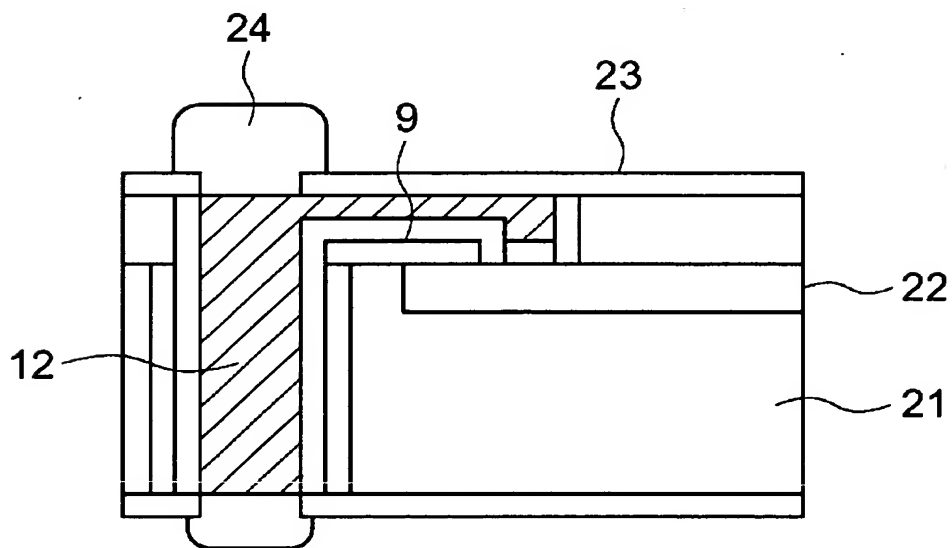
1 第1の半導体基板、2 第2の半導体基板、3 第1の半導体回路、4 第2の半導体回路、5 第1の半導体素子、6 第2の半導体素子、7 第1の電極、8 第2の電極、9 接続配線（配線層）、10 第1の外部端子、11 第2の外部端子、12 貫通電極、13 絶縁材、20 バンプ電極、30 絶縁膜、31 レジスト、32 支持体、33 接着層、40 第1の絶縁膜、41 第2の絶縁膜、42 めっき金属、44 新たな第1の外部端子、60 裏面絶縁膜、70 対向電極（陽極）、71 溶液、80 第1の突起電極、81 第2の突起電極、90 電気めっき液、91 無電解めっき液、110 樹脂、140 絶縁膜、150 配線層、151 保護膜、152 電極（ランド）、160 はんだボール、170 導電材の柱（めっき）、181 溶液、182 絶縁膜、190 SOI基板母材、191 絶縁層、240 第3の半導体素子、241 第3の半導体回路、242 第3の電極、243 貫通電極、244 第4の半導体素子、245 第4の半導体回路、246 第4の電極、260、261 半導体装置、290 半導体モジュール、291 第3の半導体素子群。

【書類名】 図面

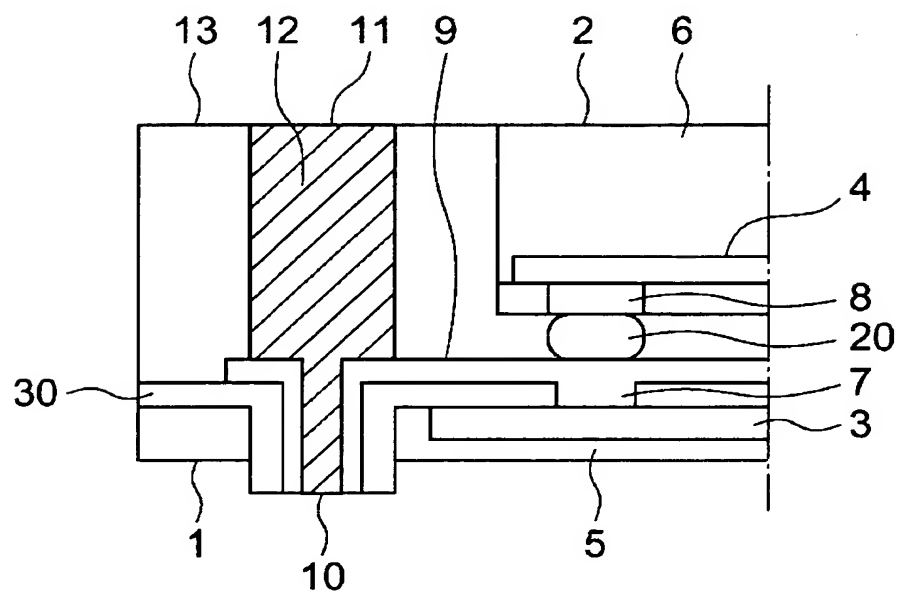
【図 1】



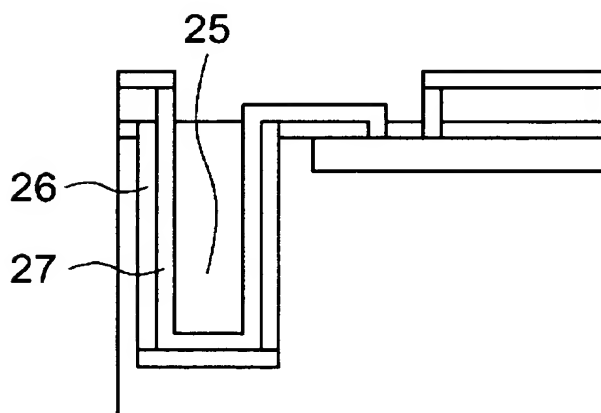
【図 2】



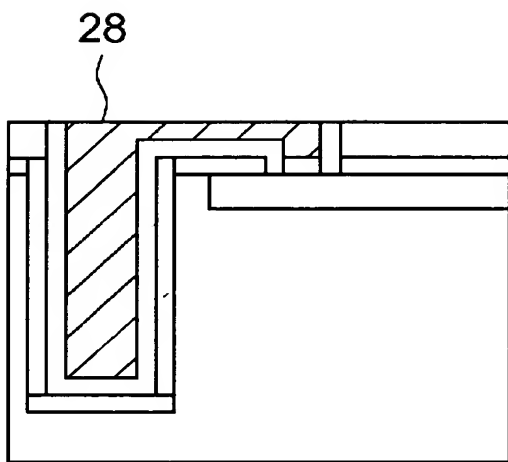
【図 3】



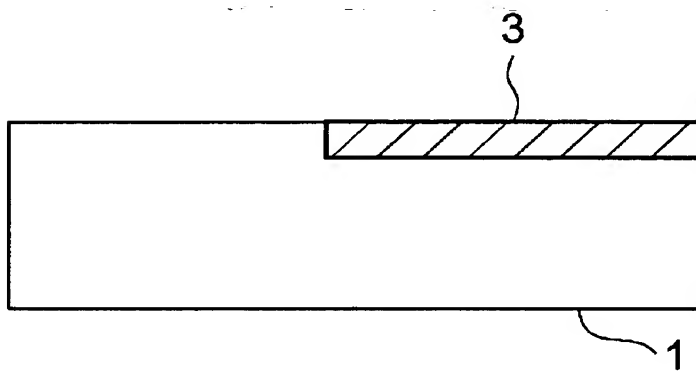
【図 4】



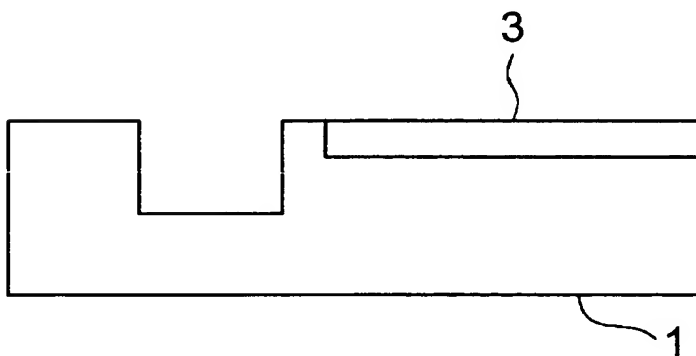
【図 5】



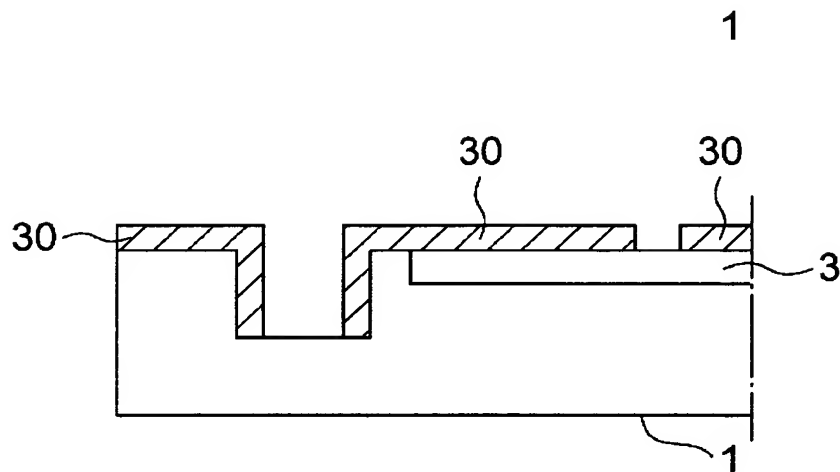
【図 6】



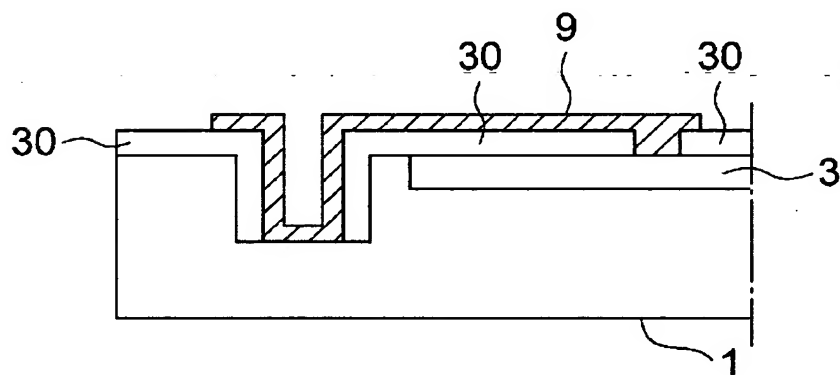
【図 7】



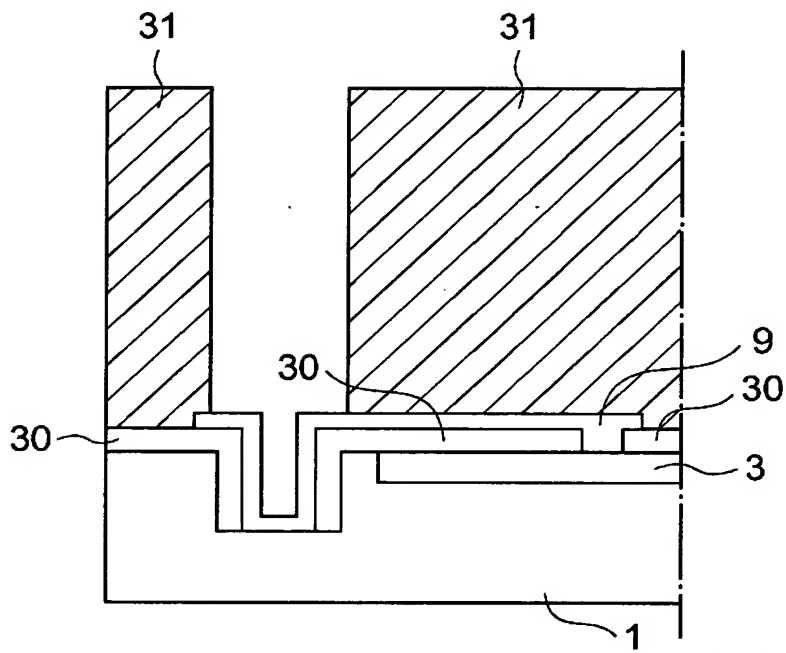
【図 8】



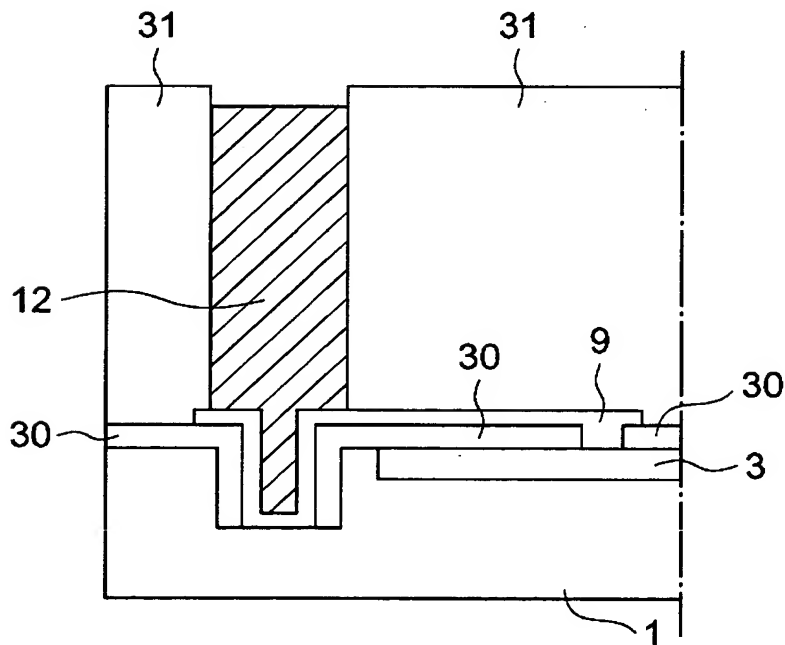
【図 9】



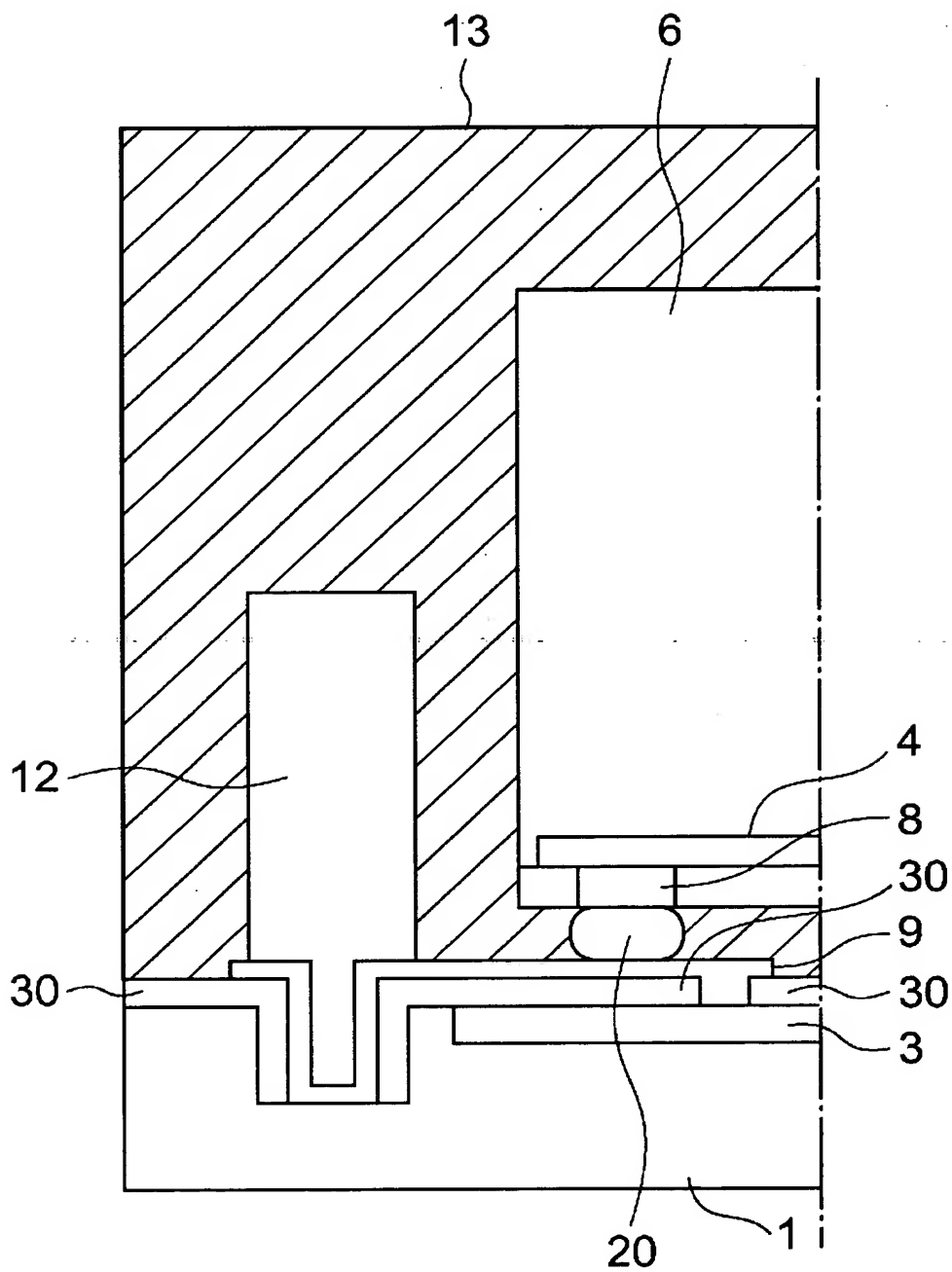
【図10】



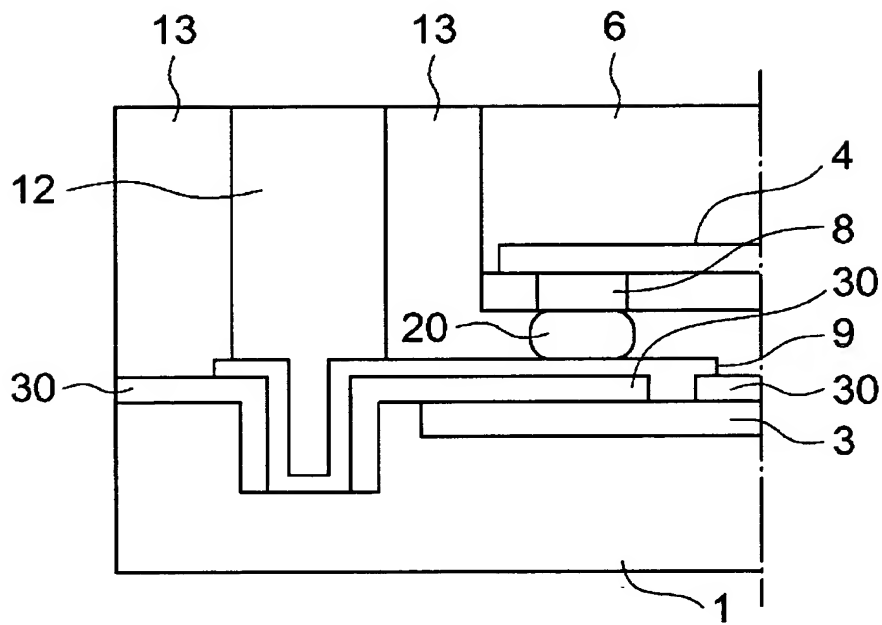
【図11】



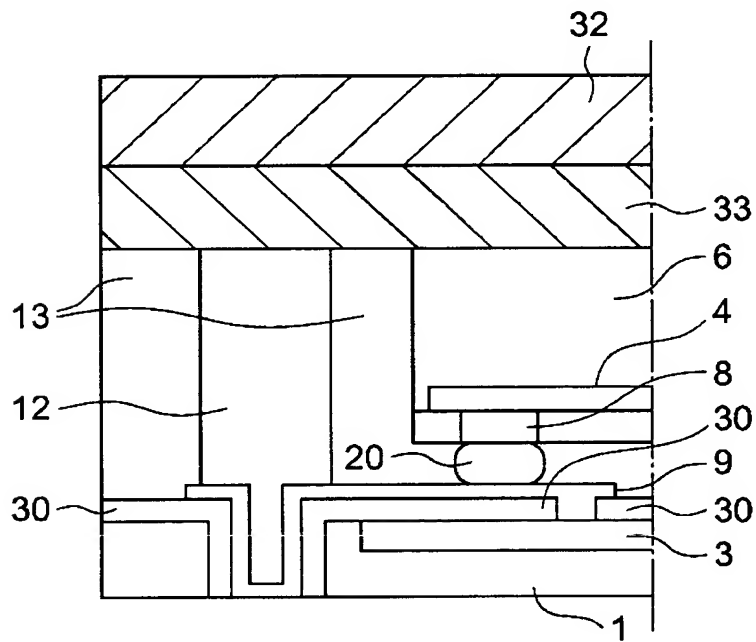
【図 13】



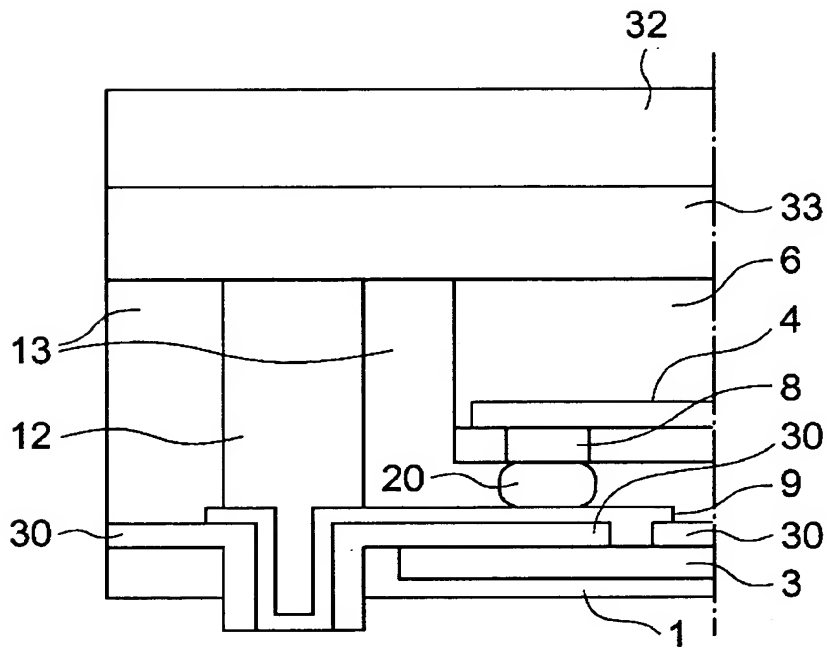
【図14】



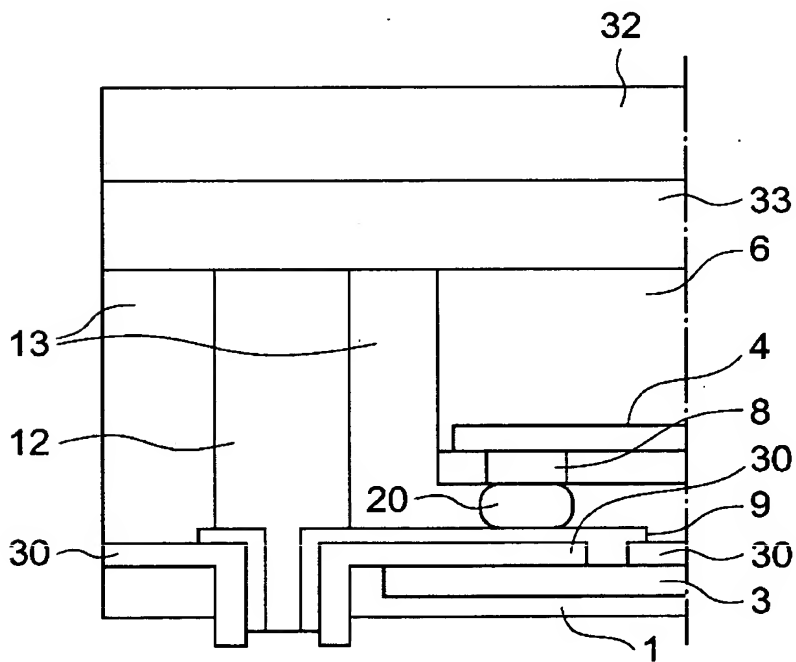
【図15】



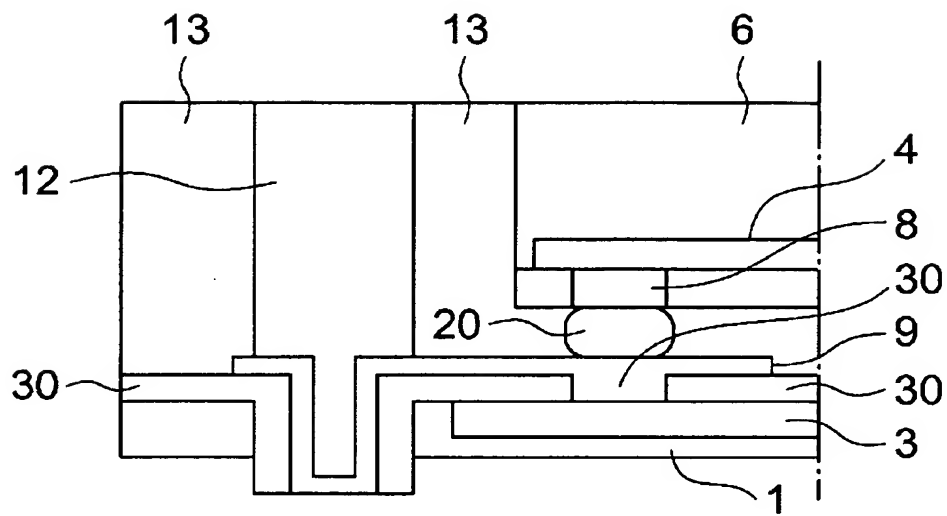
【図 16】



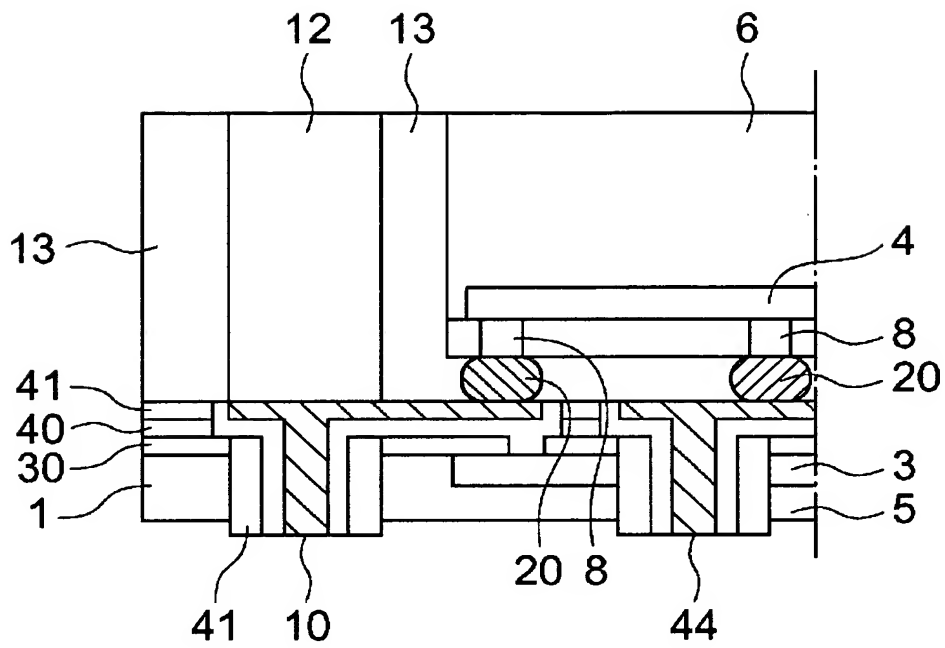
【図 17】



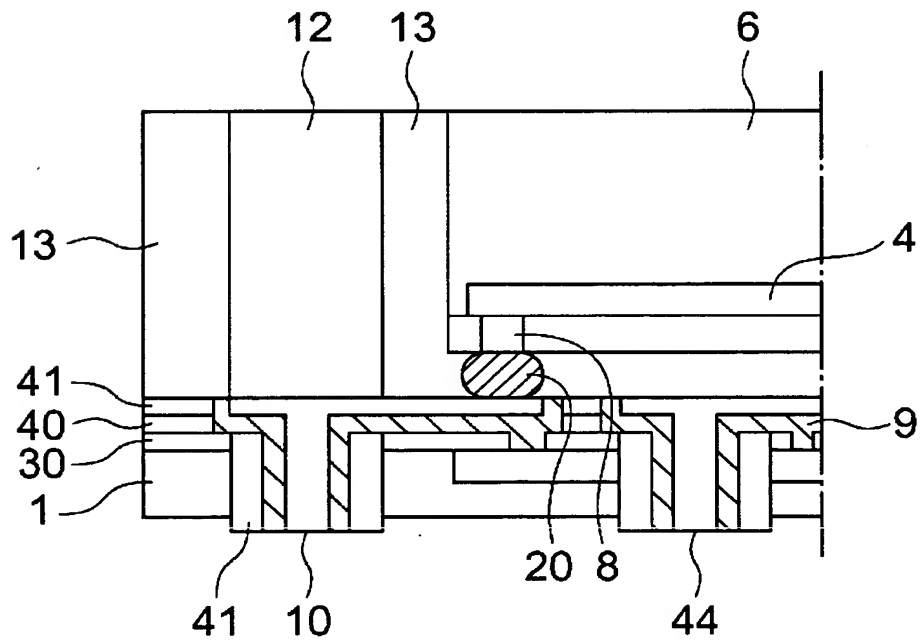
【図 18】



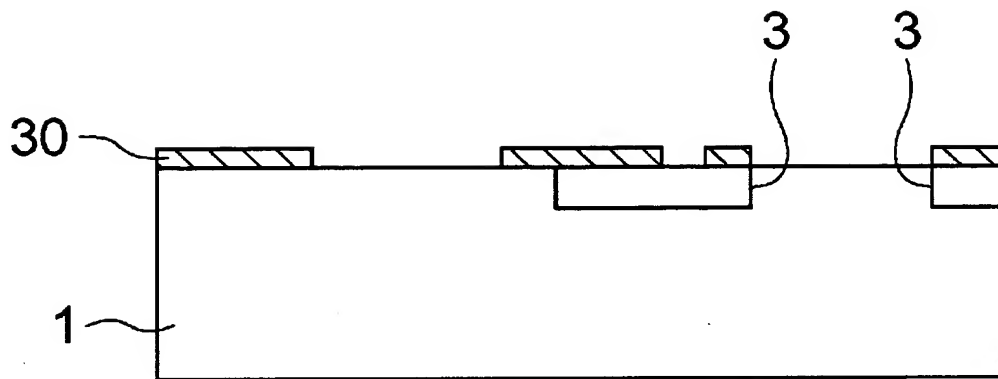
【図 20】



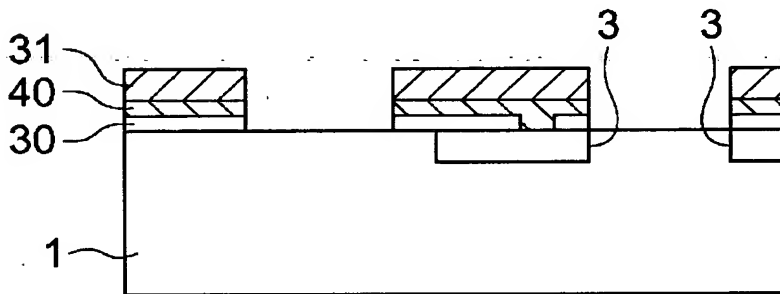
【図 21】



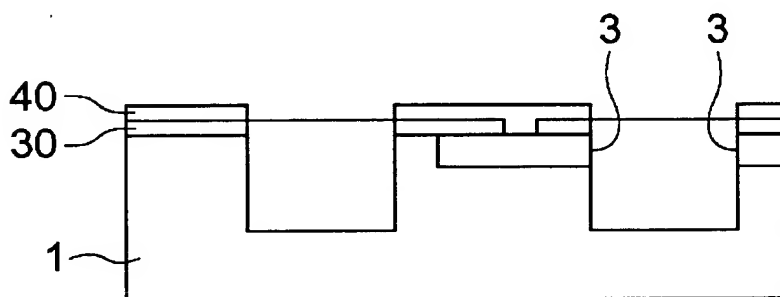
【図 2 2】



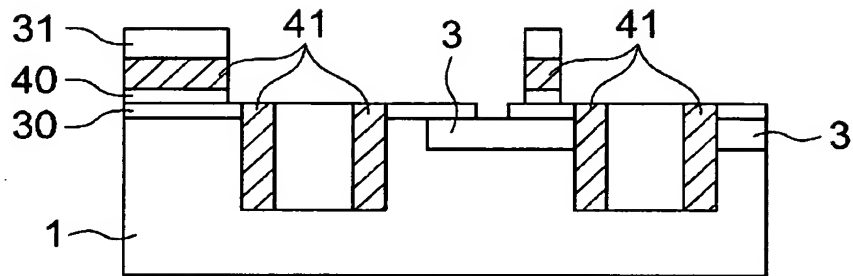
【図 2 3】



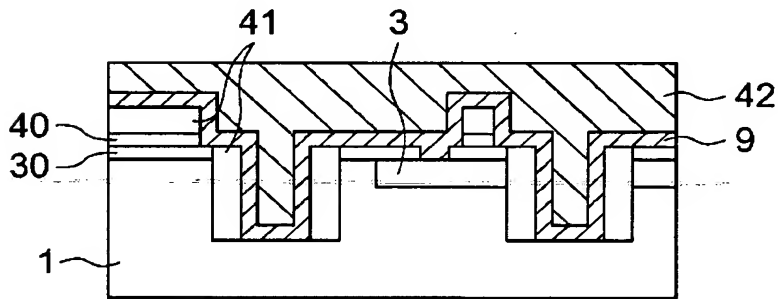
【図 2 4】



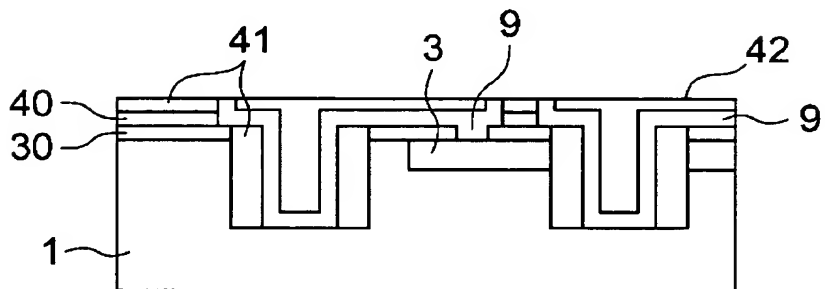
【図 2 5】



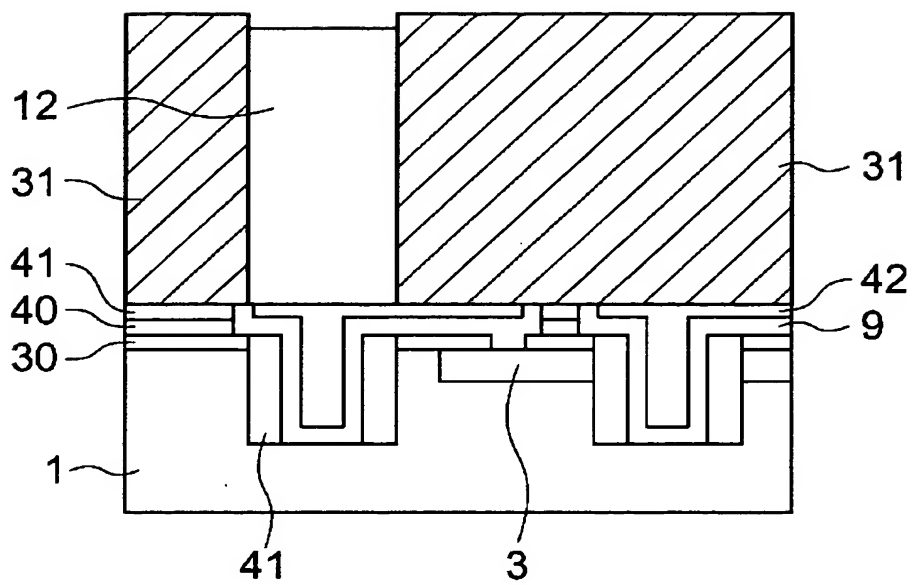
【図 2 6】



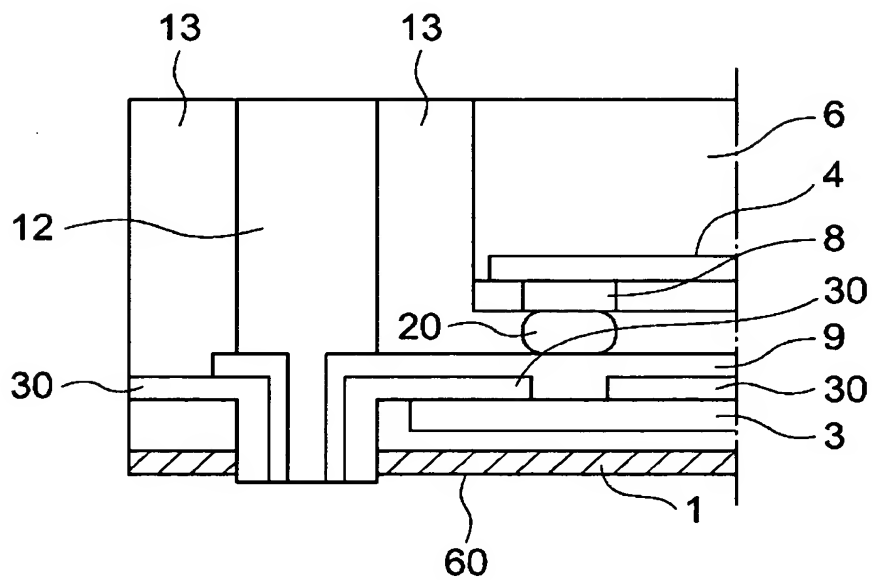
【図 2 7】



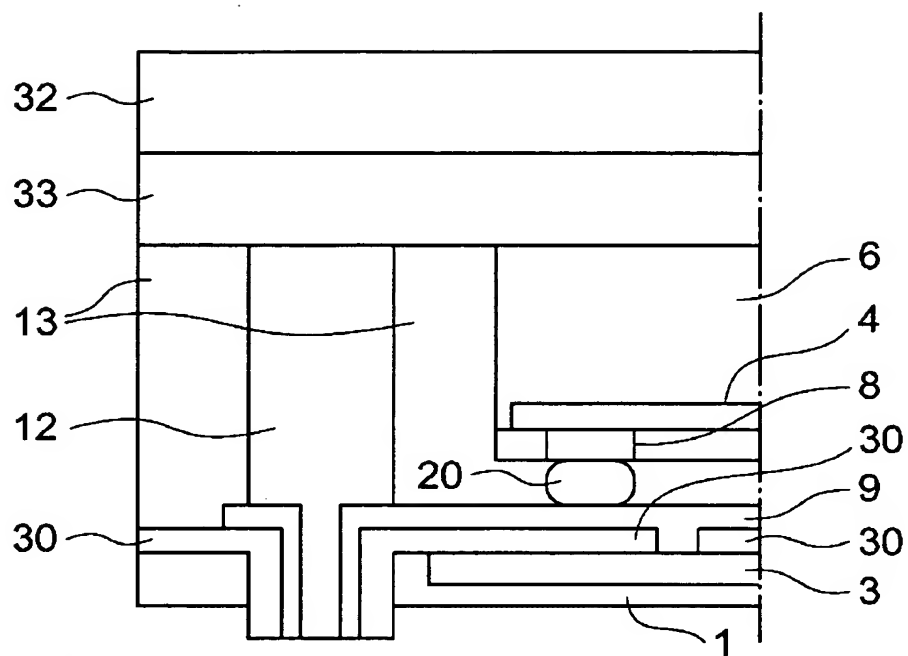
【図 2 8】



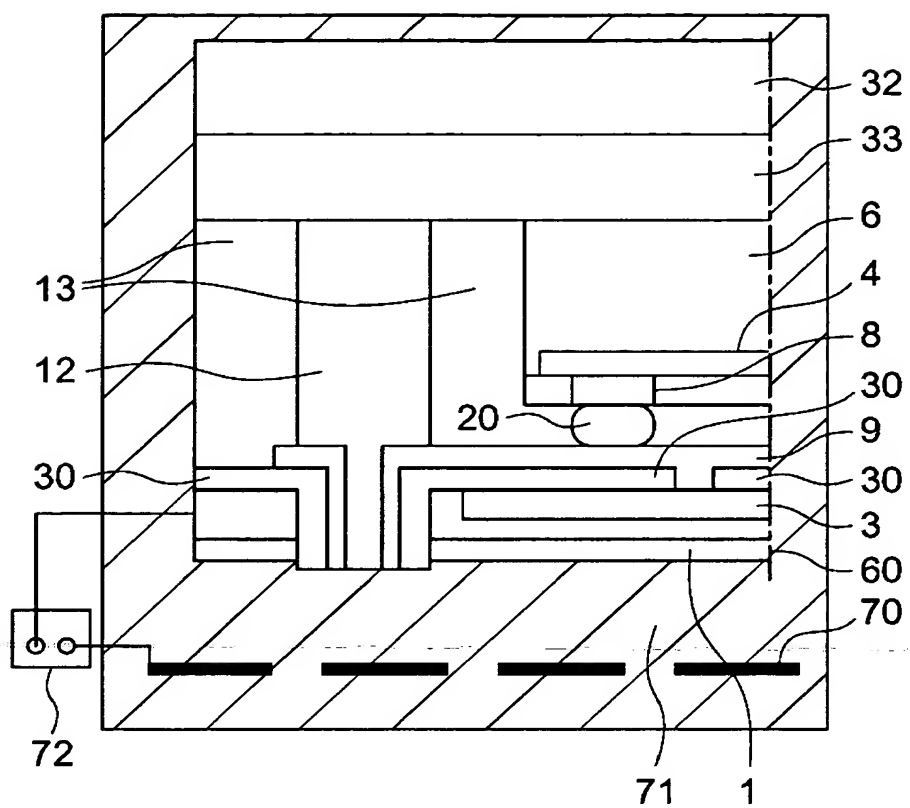
【図 2 9】



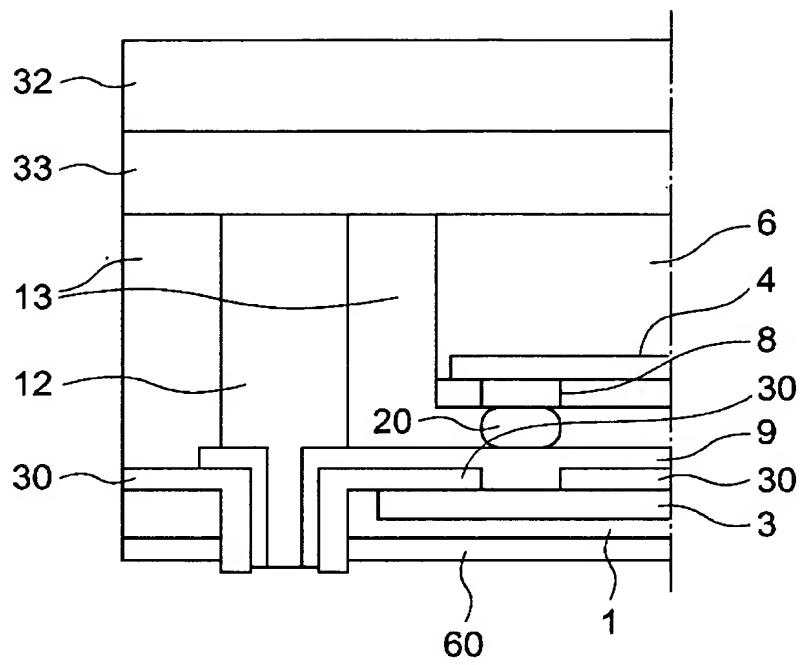
【図 3 0】



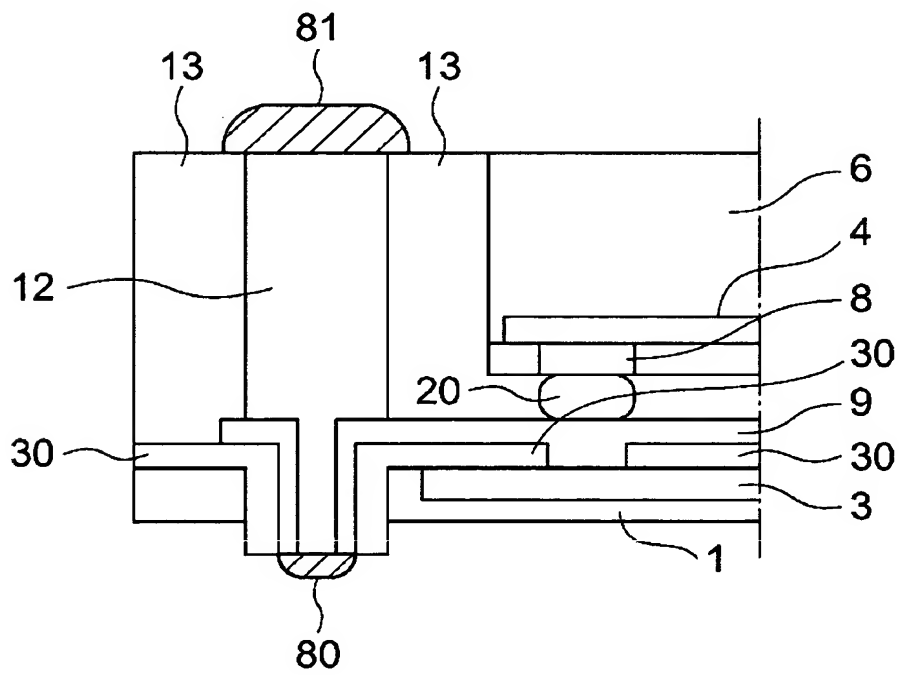
【図 3 1】



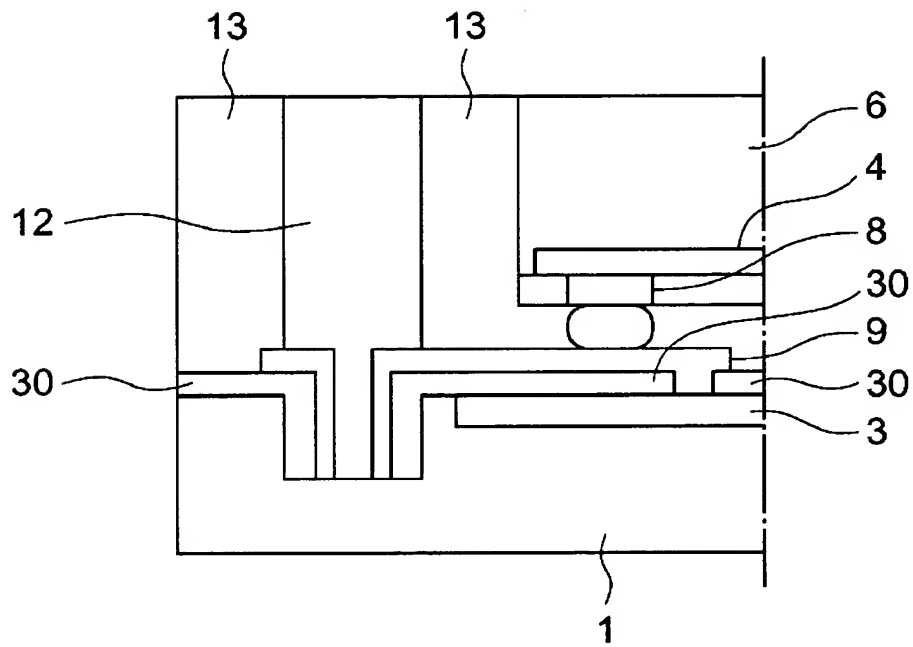
【図 3 2】



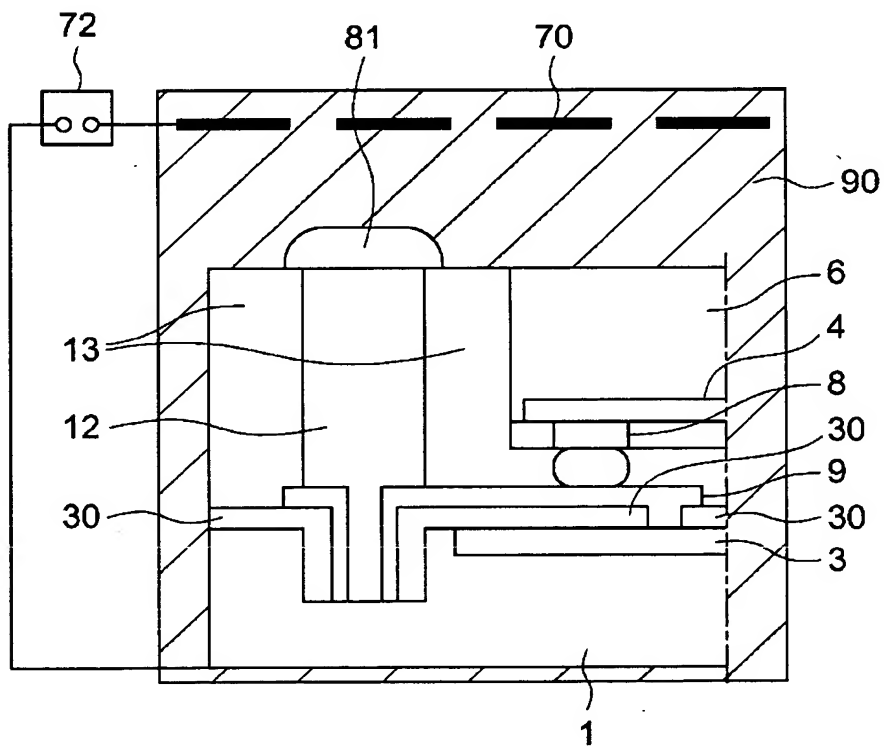
【図 3 3】



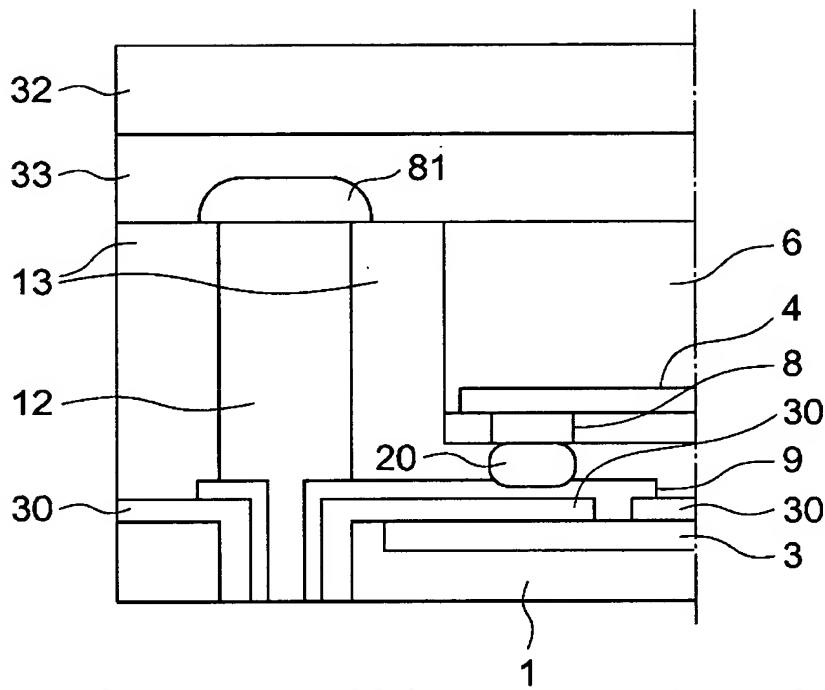
【図 34】



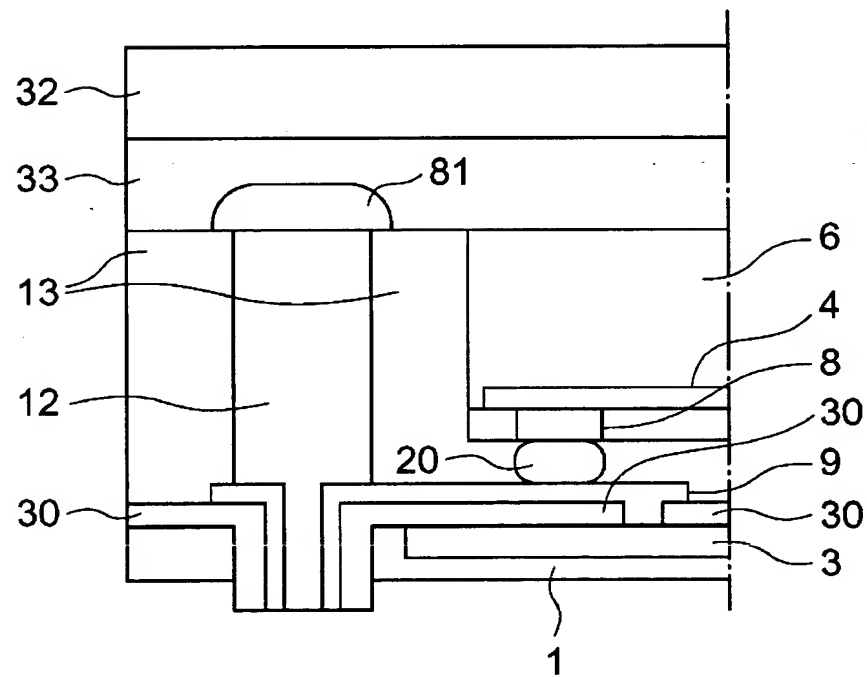
【図 35】



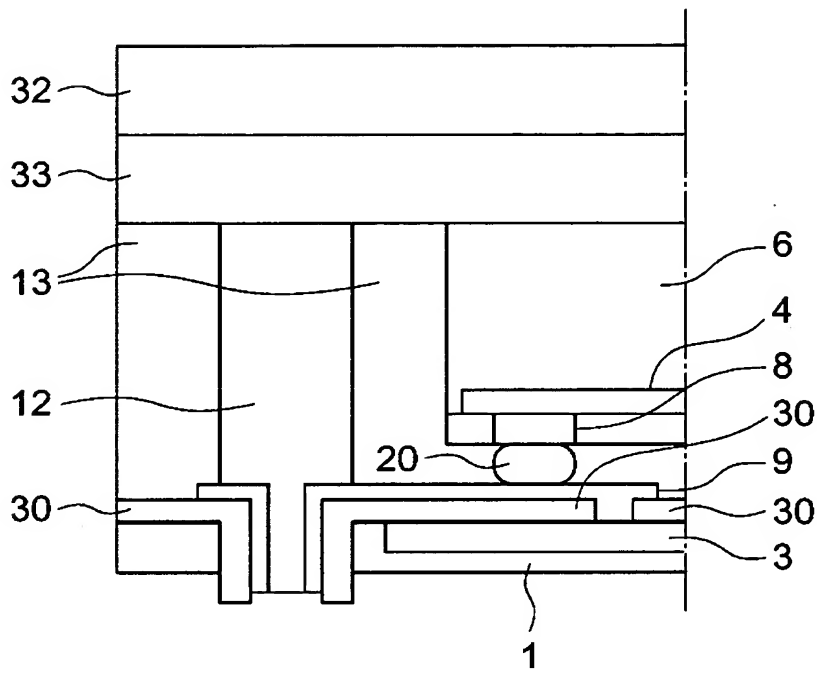
【図 3 6】



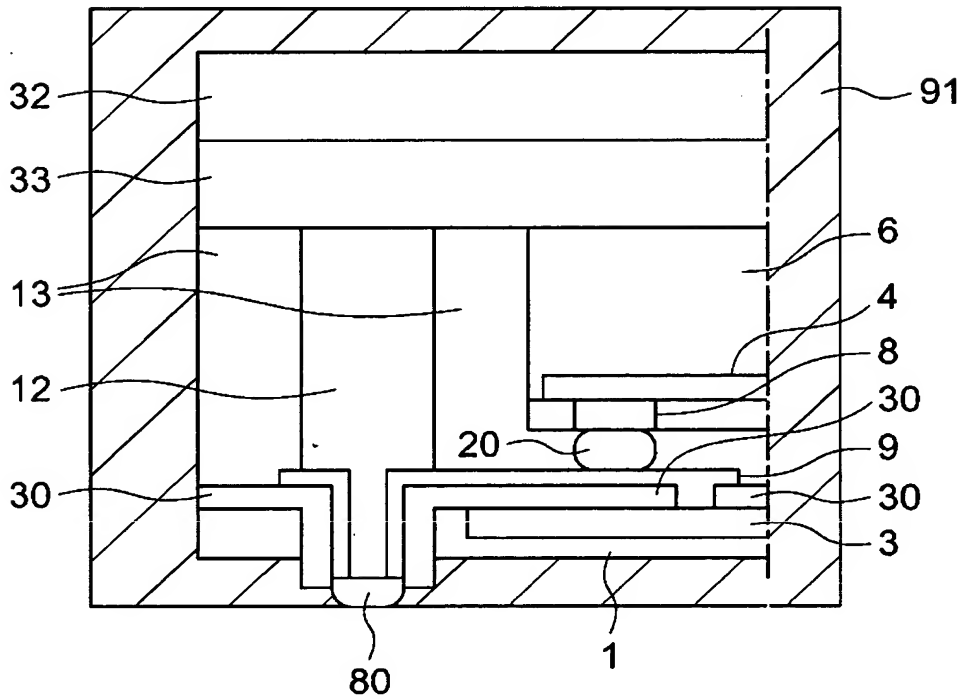
【図 3 7】



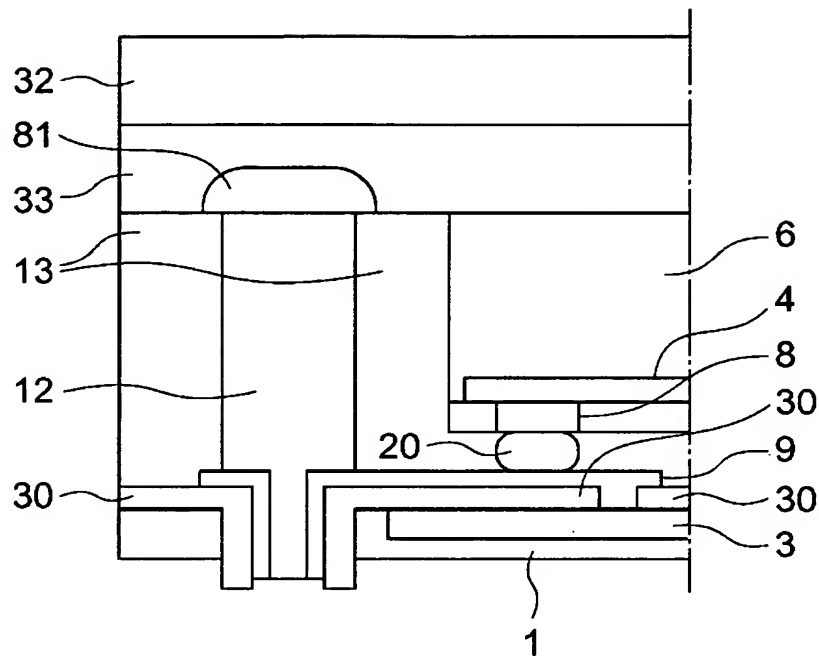
【図 3 8】



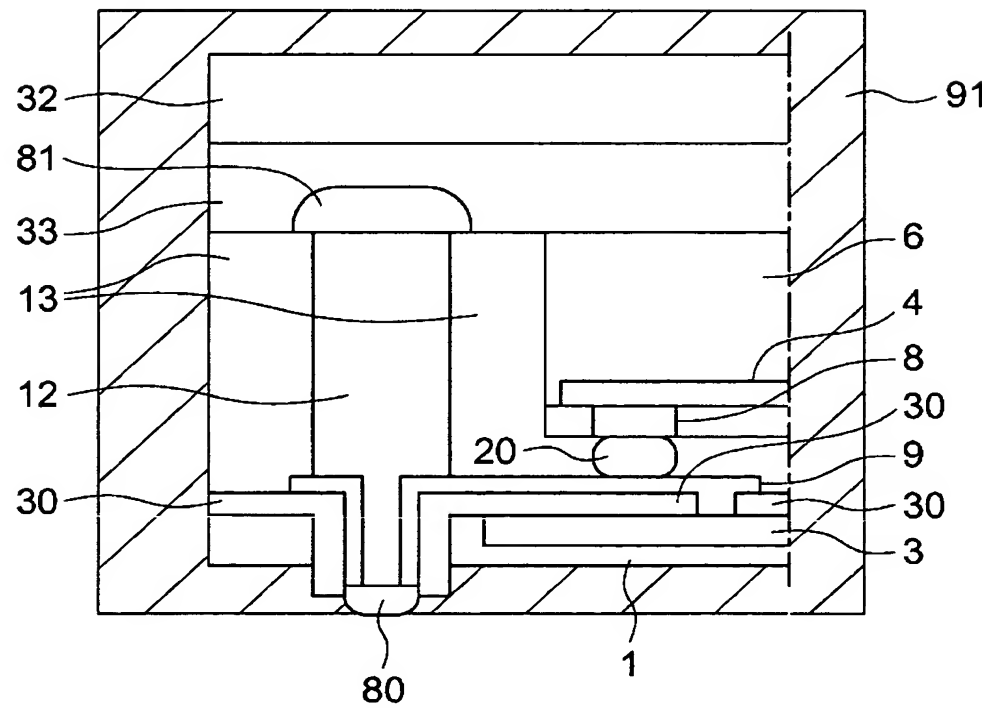
【図 3 9】



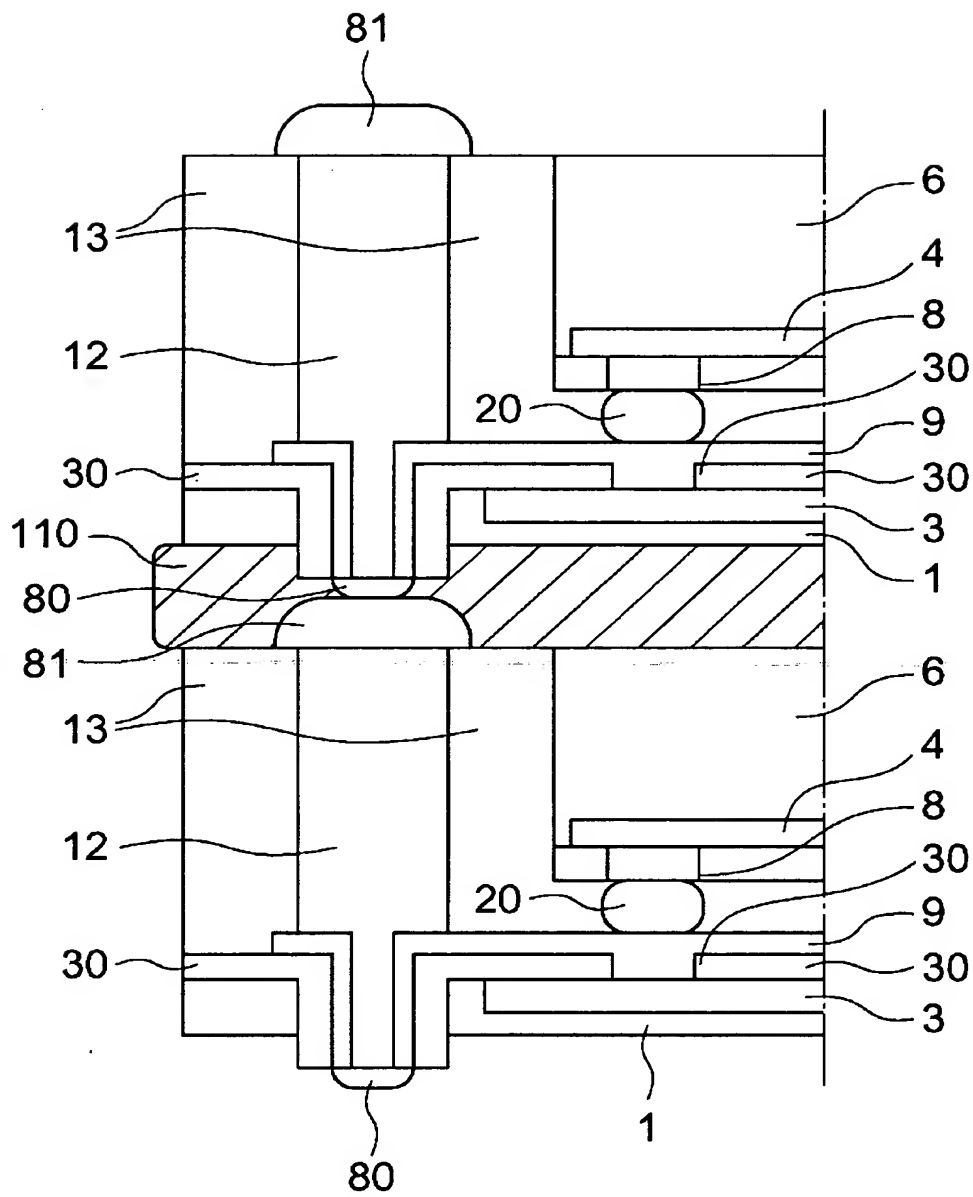
【図 4 0】



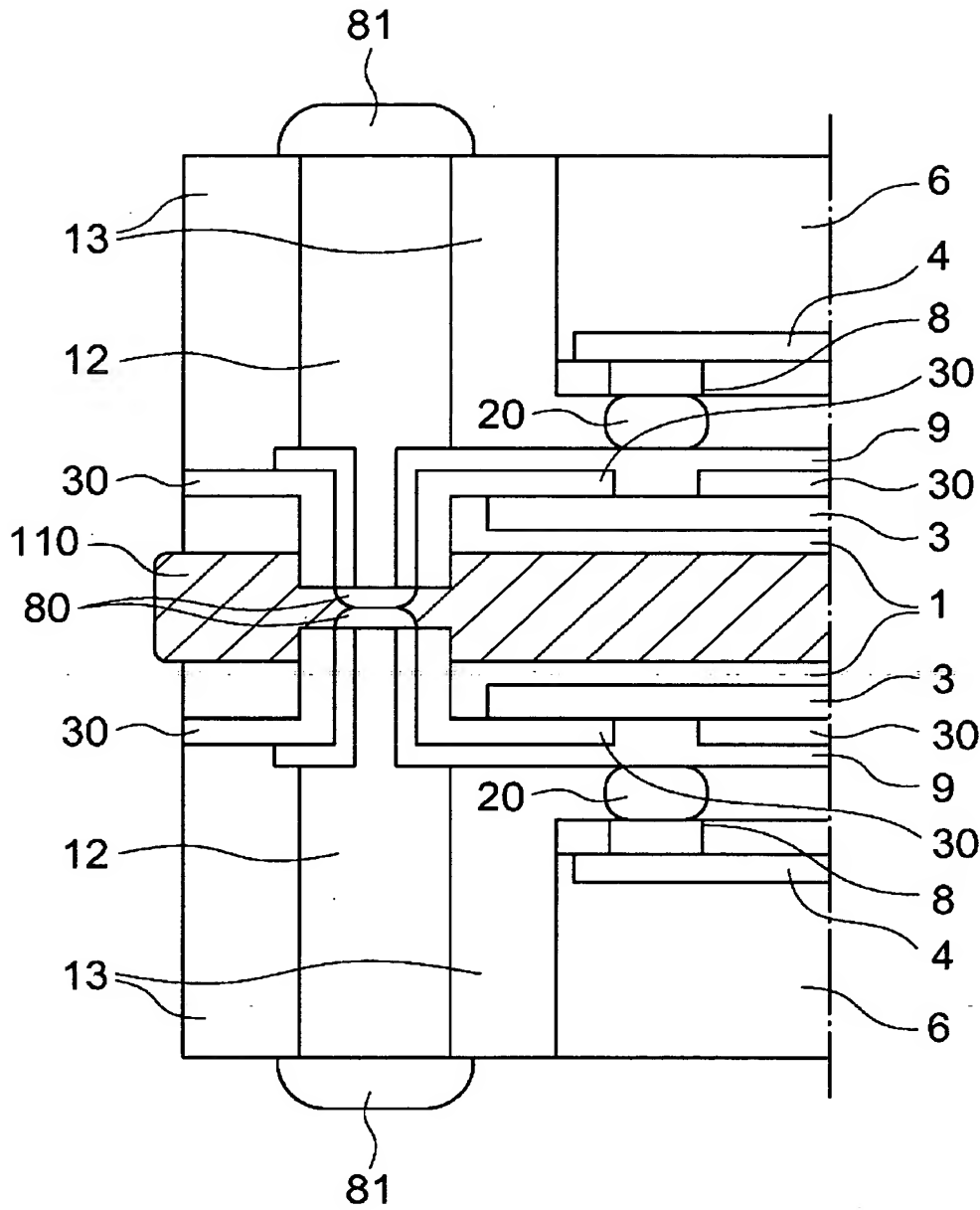
【図 4 1】



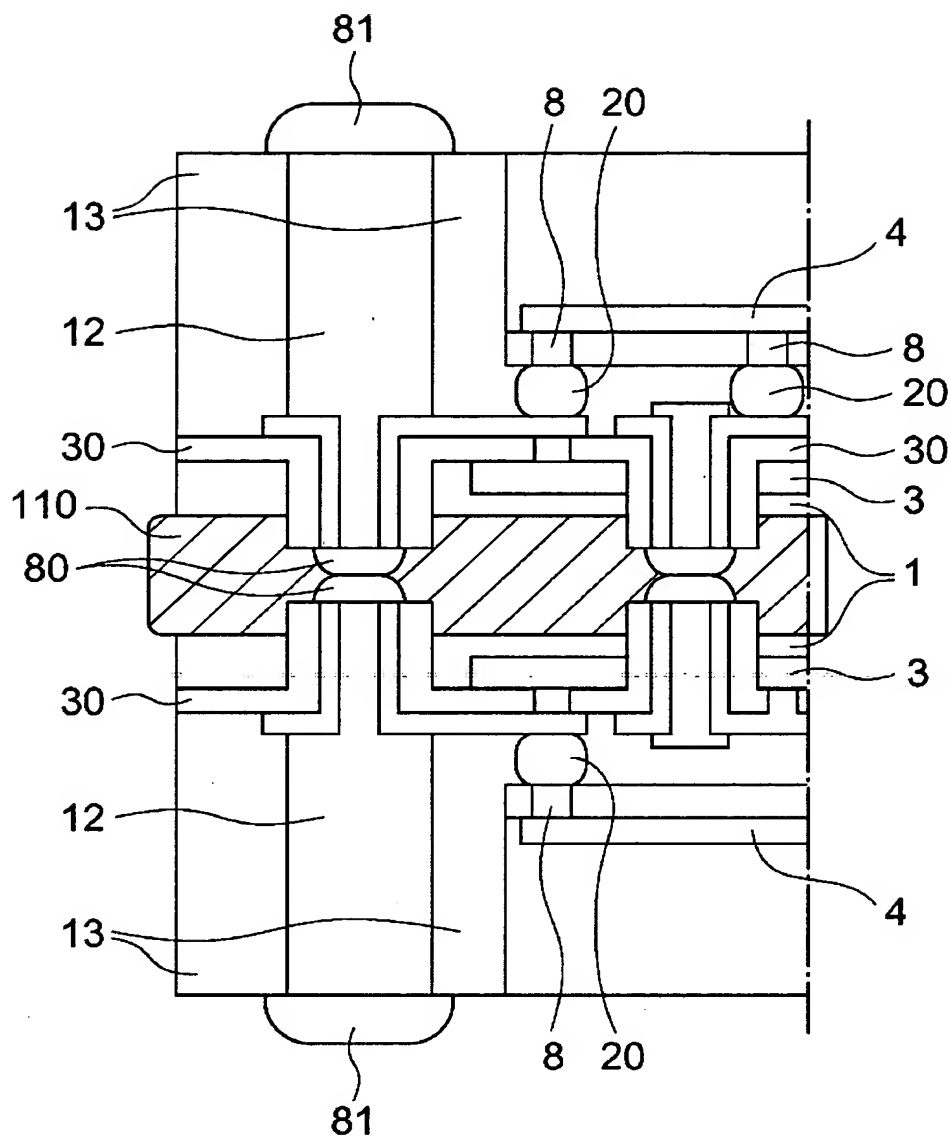
【図 4 2】



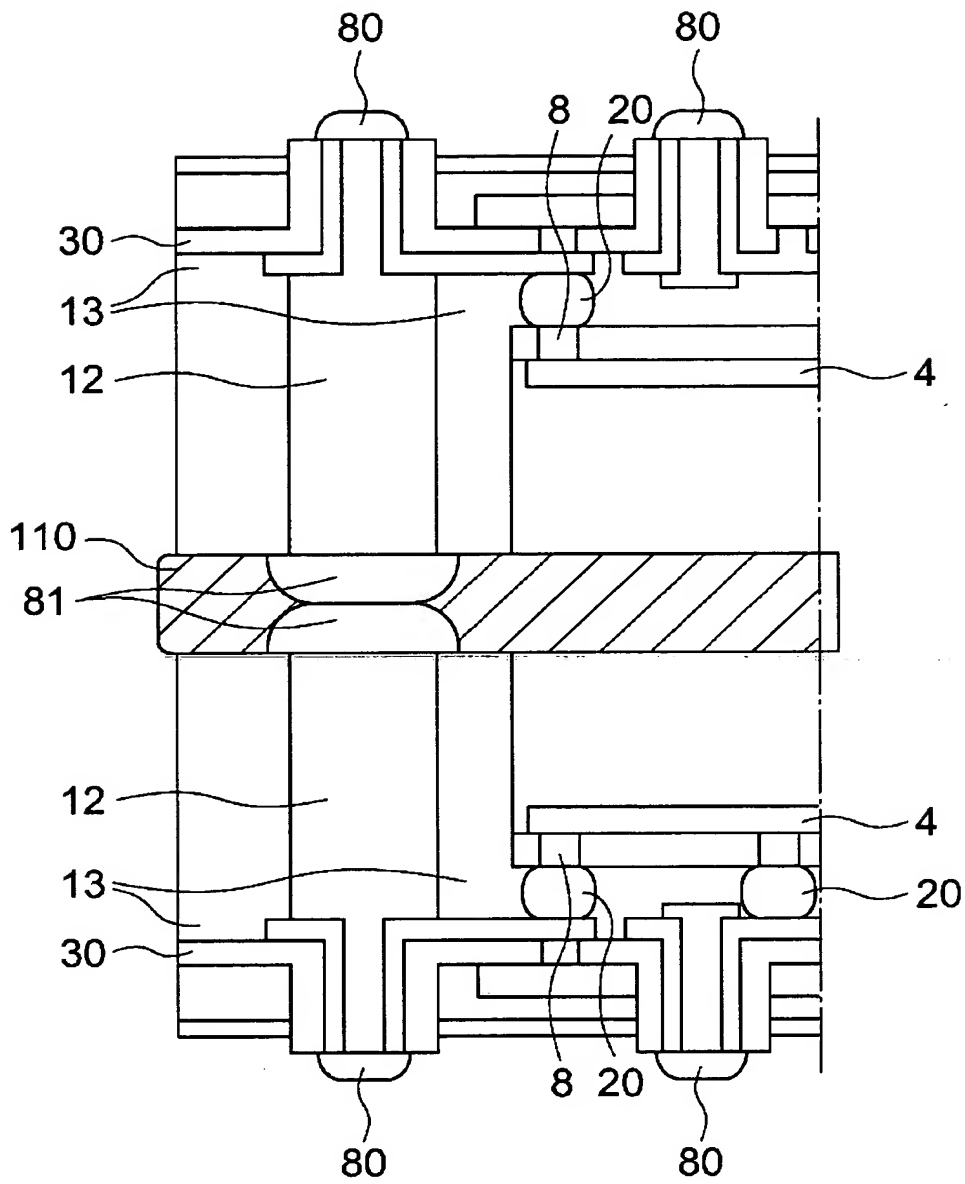
【図 4 3】



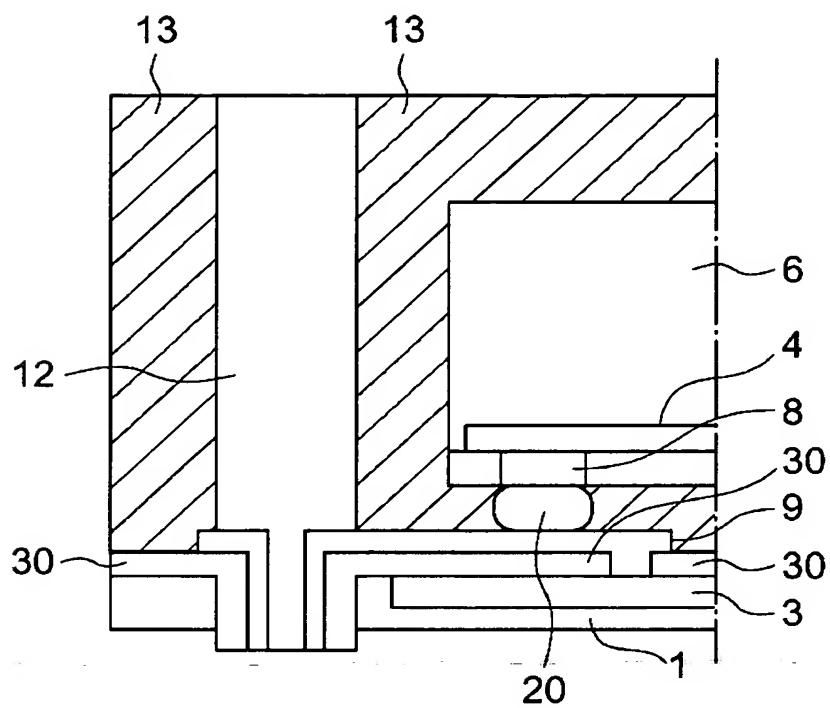
【図 4 4】



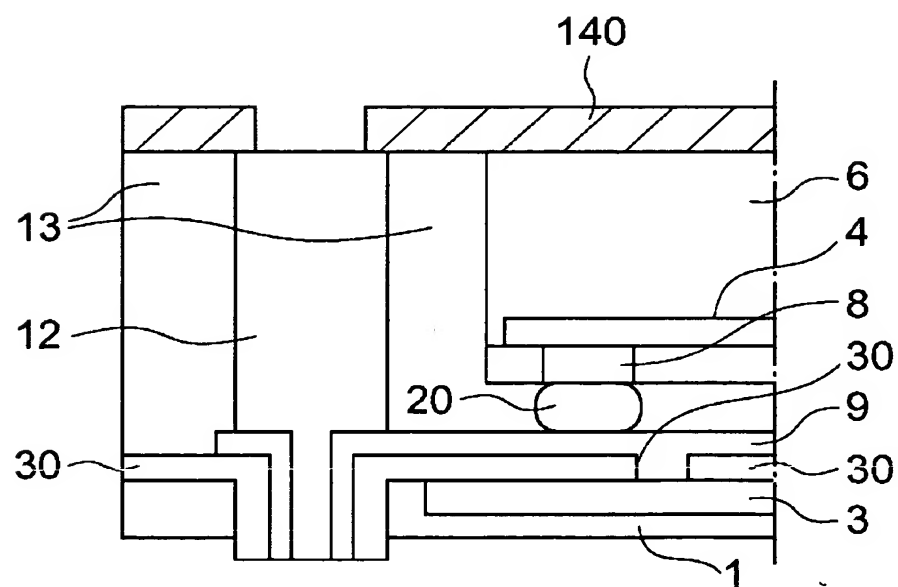
【図 4 5】



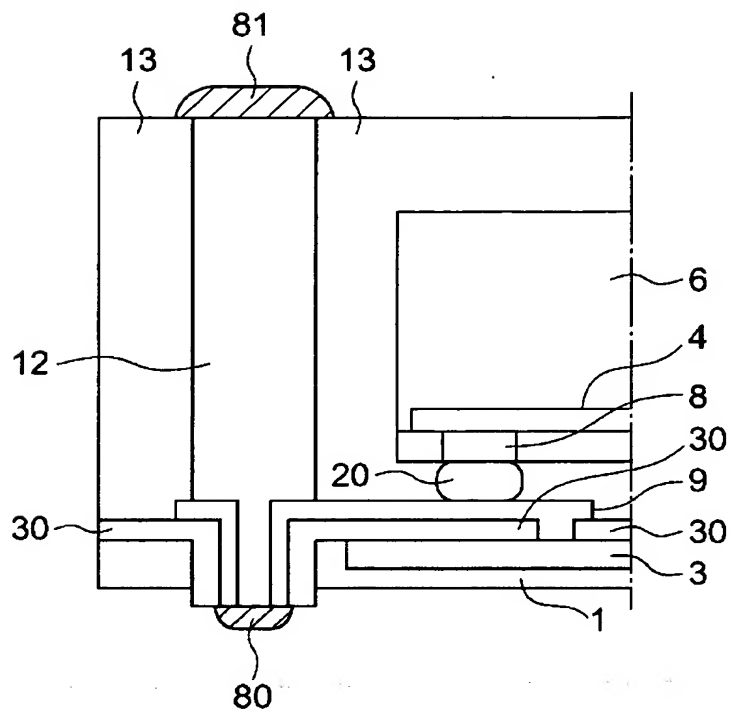
【図 4 6】



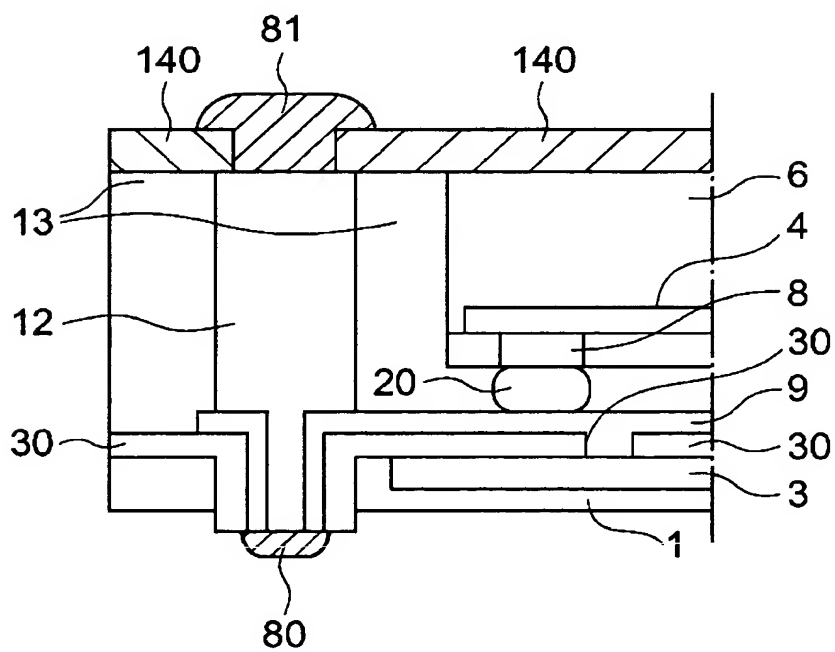
【図 4 7】



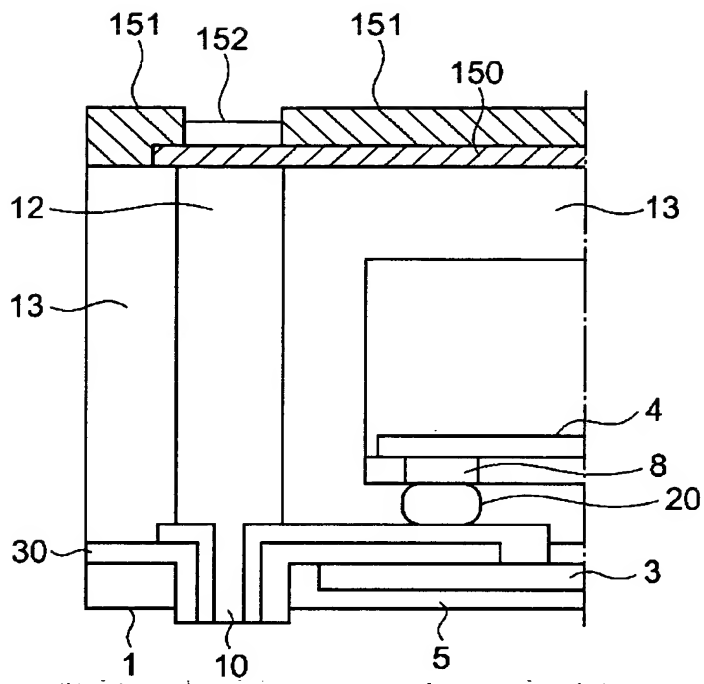
【図 4 8】



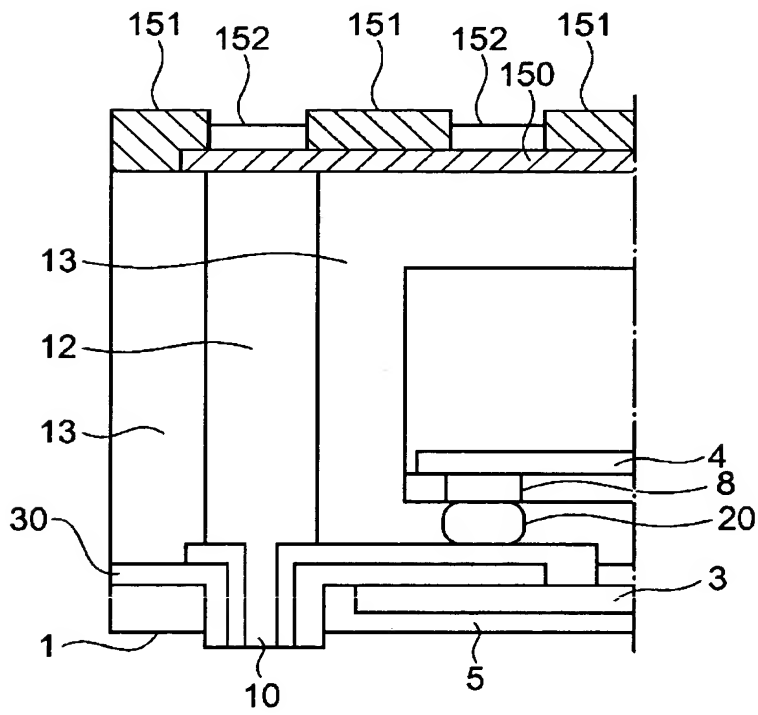
【図 4 9】



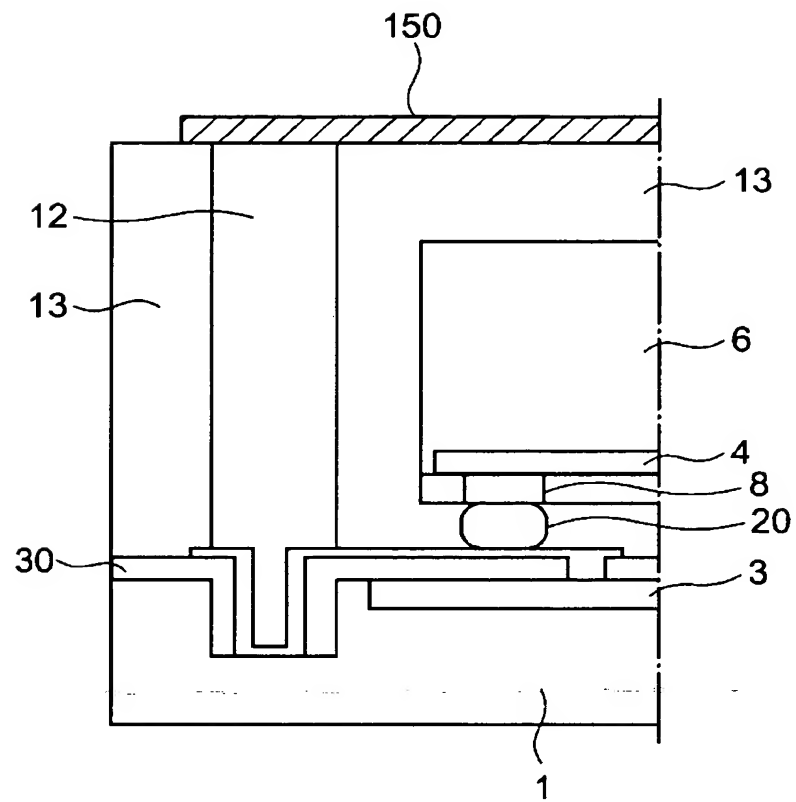
【図 5 0】



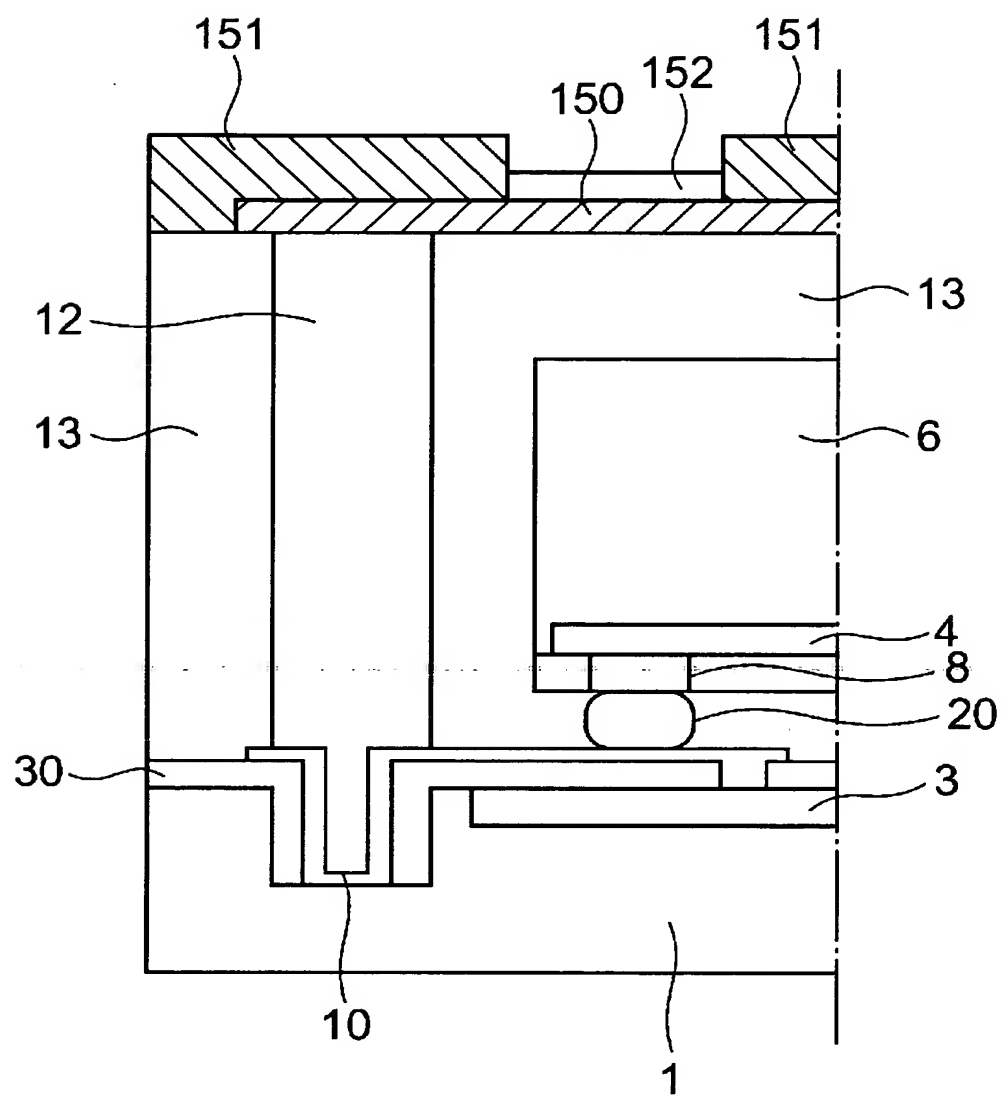
【図 5 1】



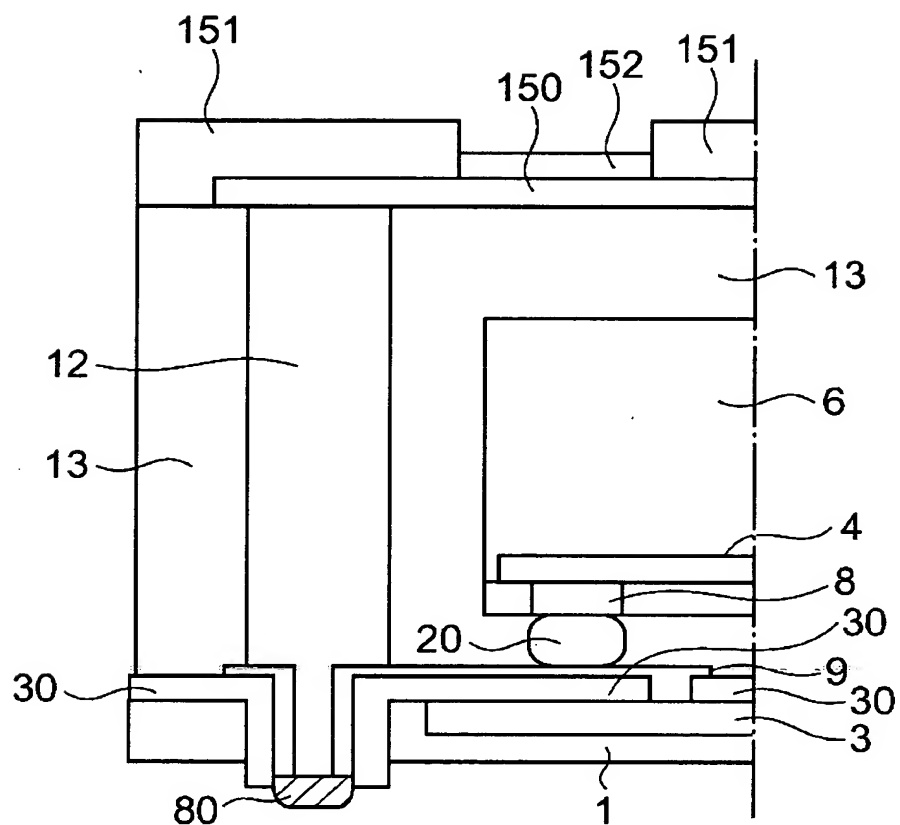
【図 5 2】



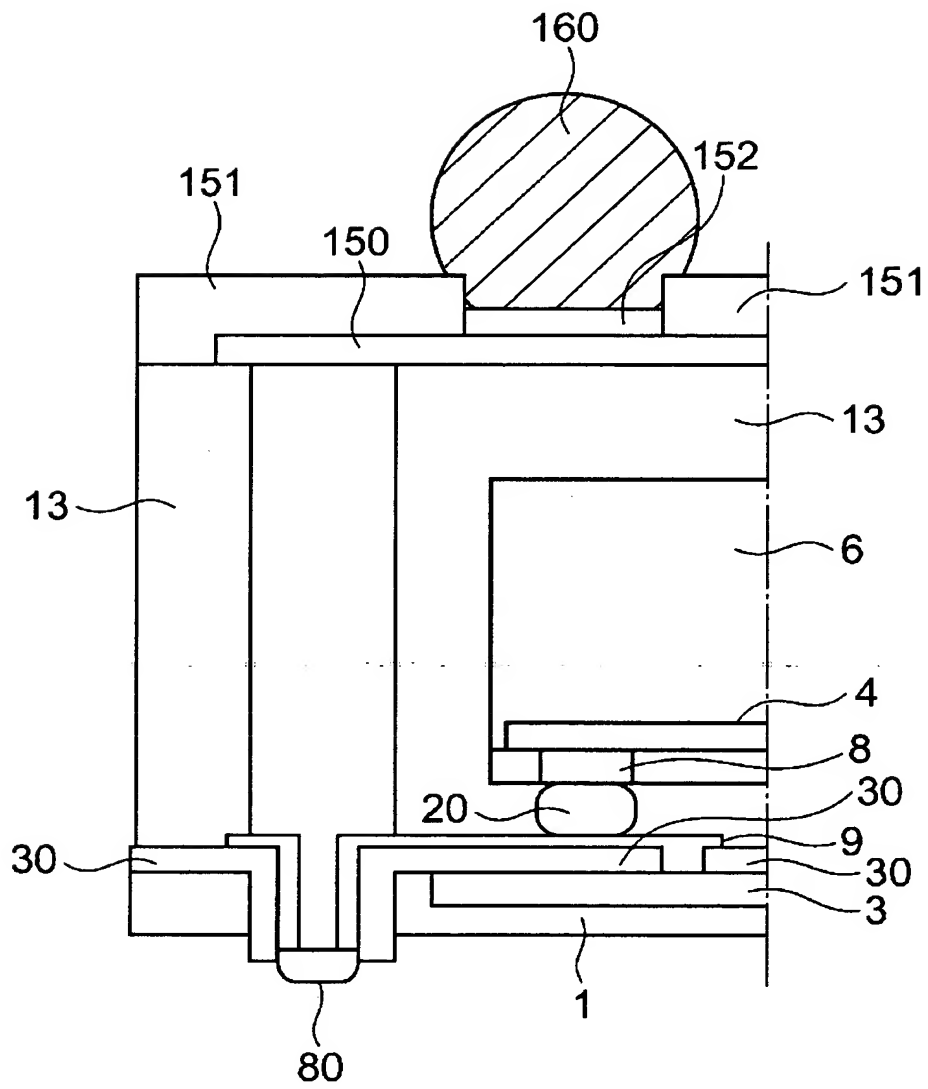
【図 5 3】



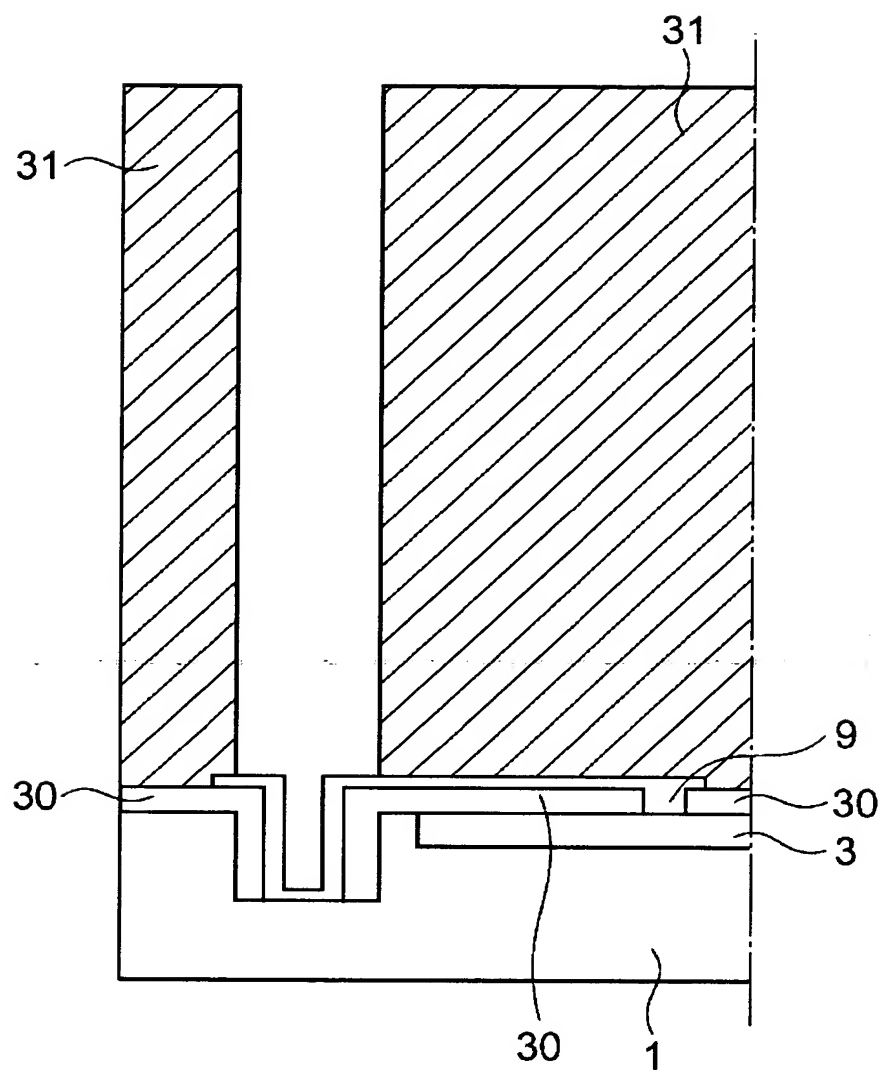
【図 5 4】



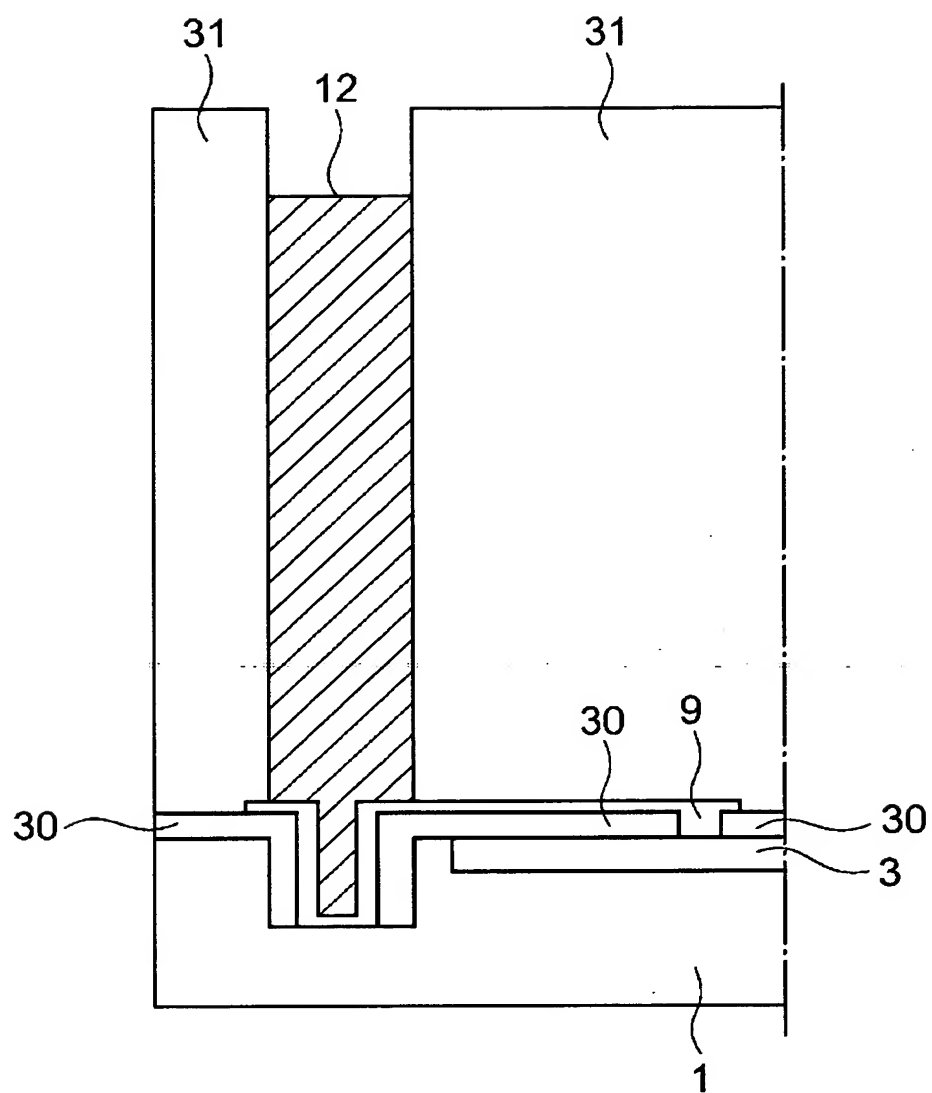
【図 5 5】



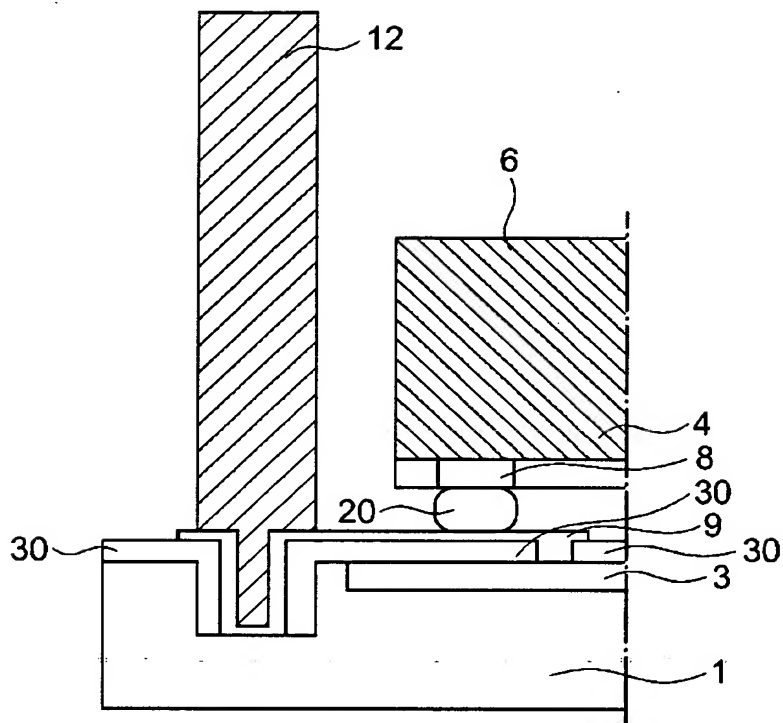
【図 5 6】



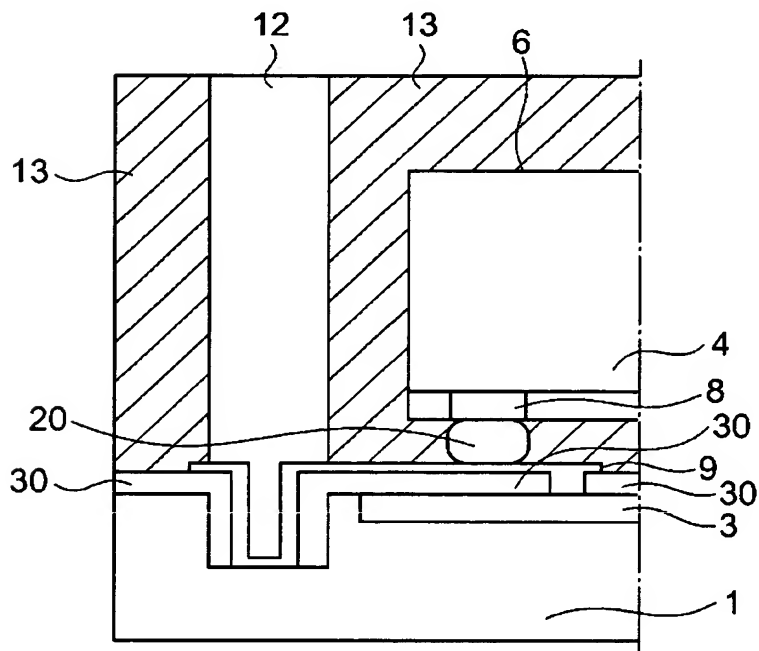
【図 5 7】



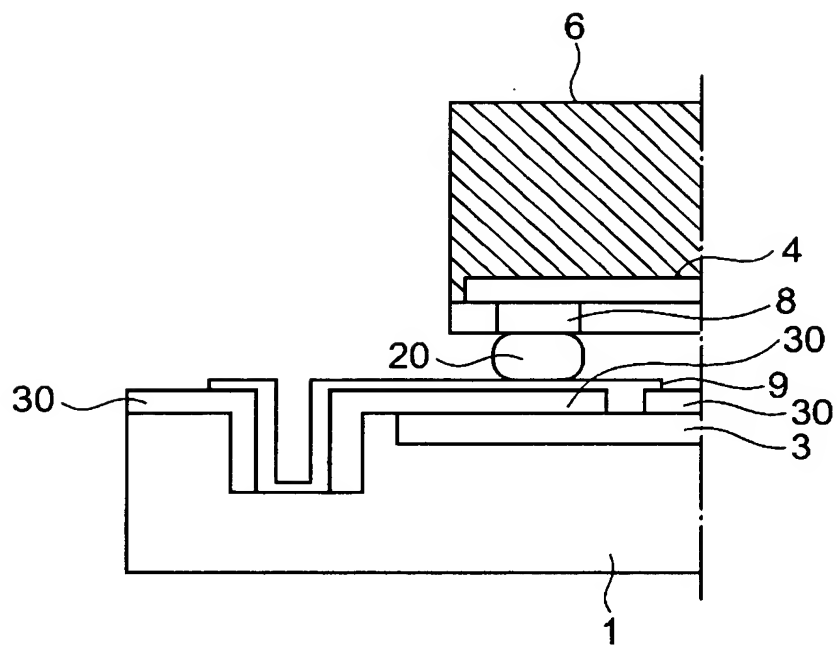
【図 58】



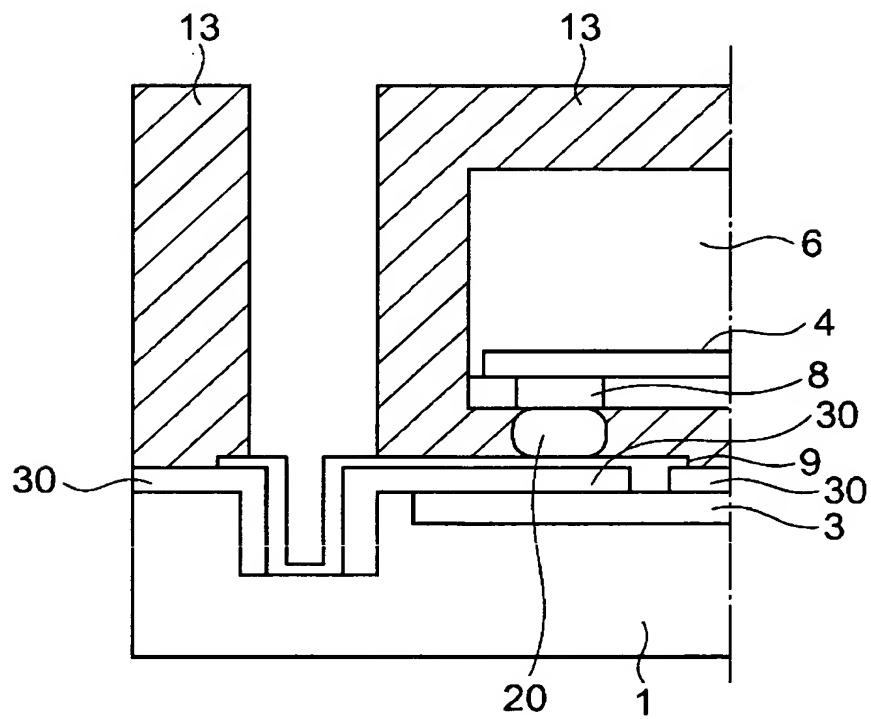
【図 59】



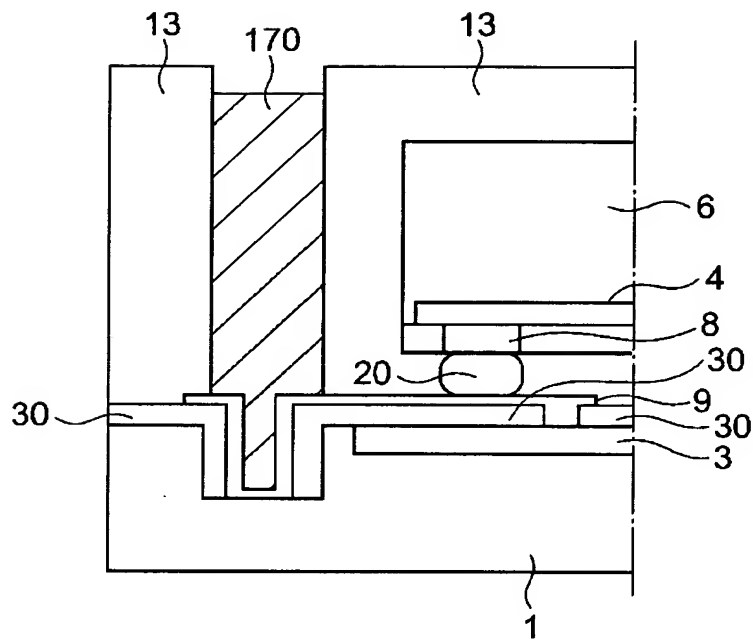
【図 6 0】



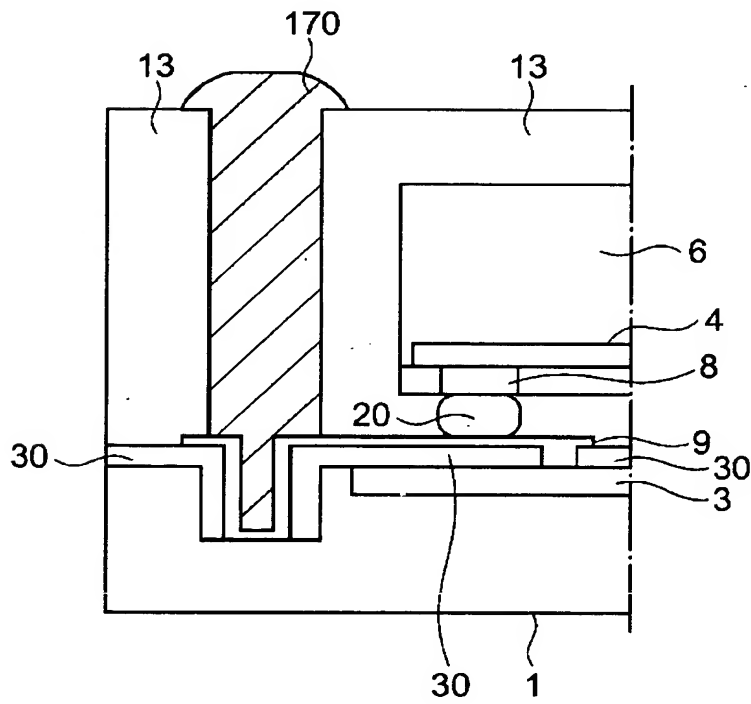
【図 6 1】



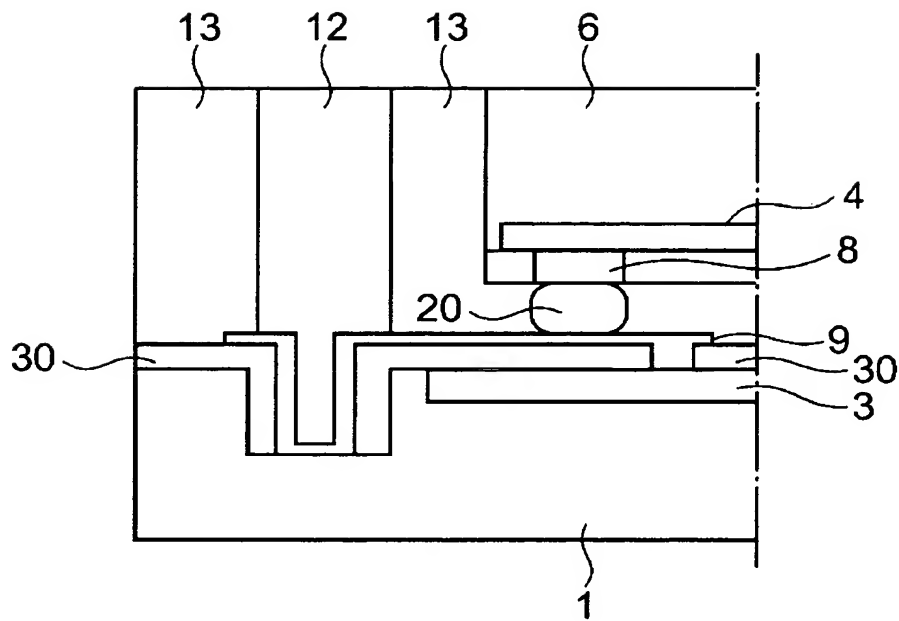
【図 6 2】



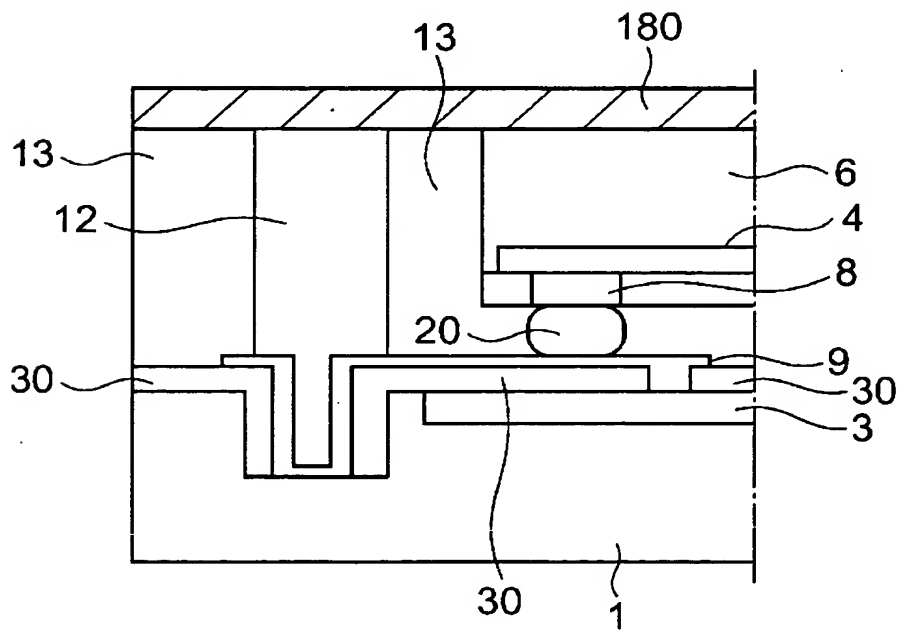
【图 6 3】



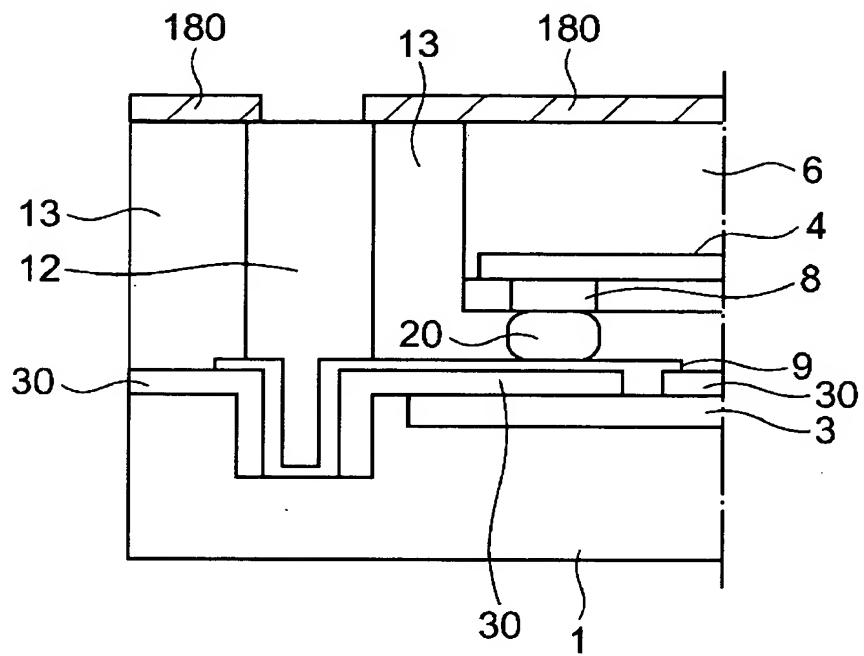
【図 6 4】



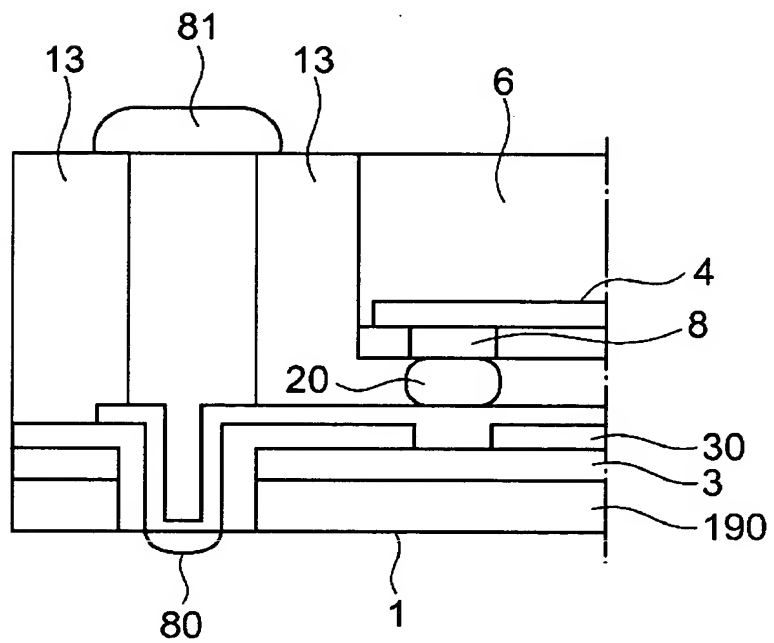
【図 6 5】



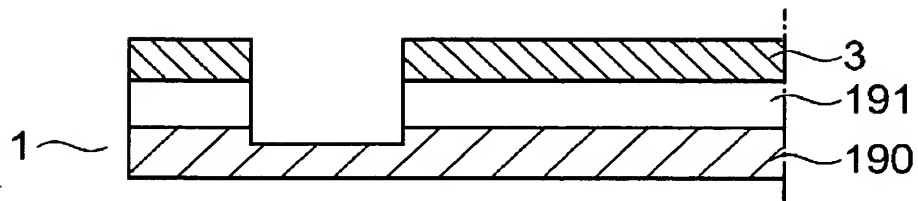
【図 6 6】



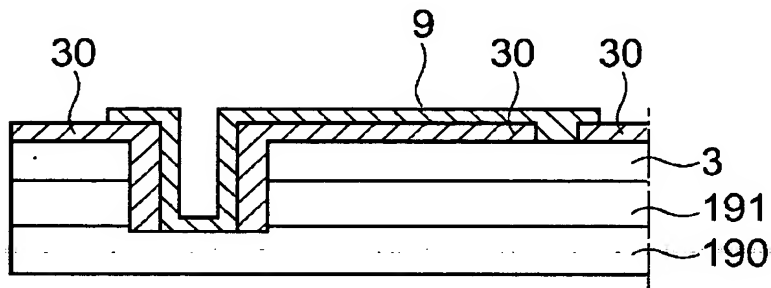
【図 6 7】



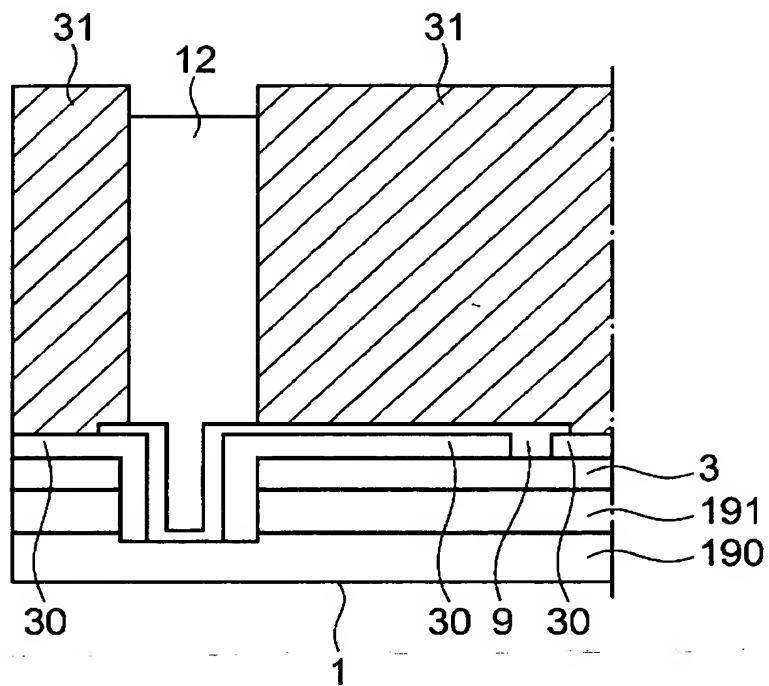
【図 6 8】



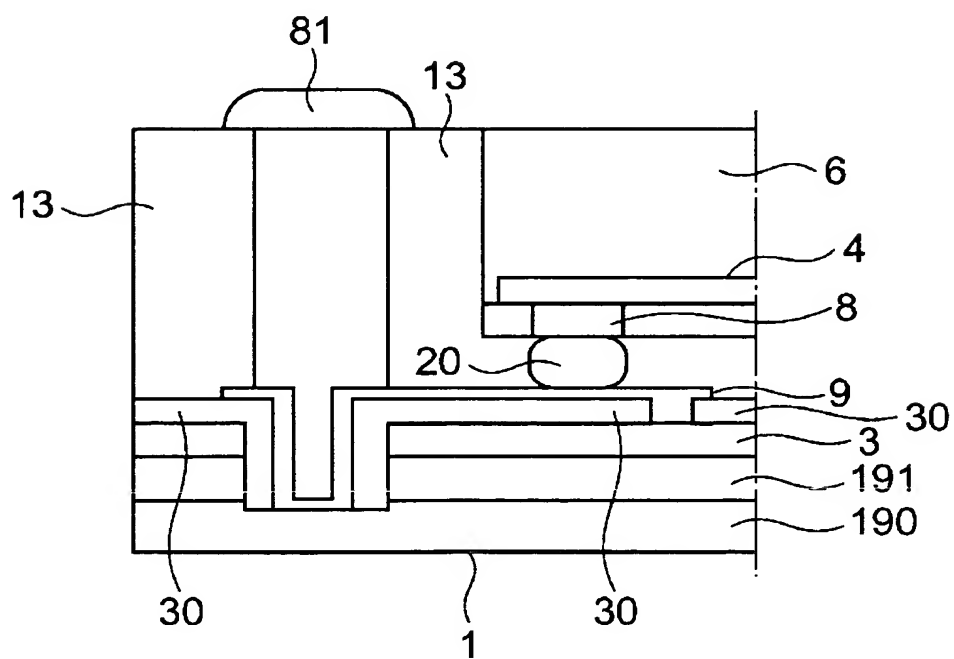
【図 6 9】



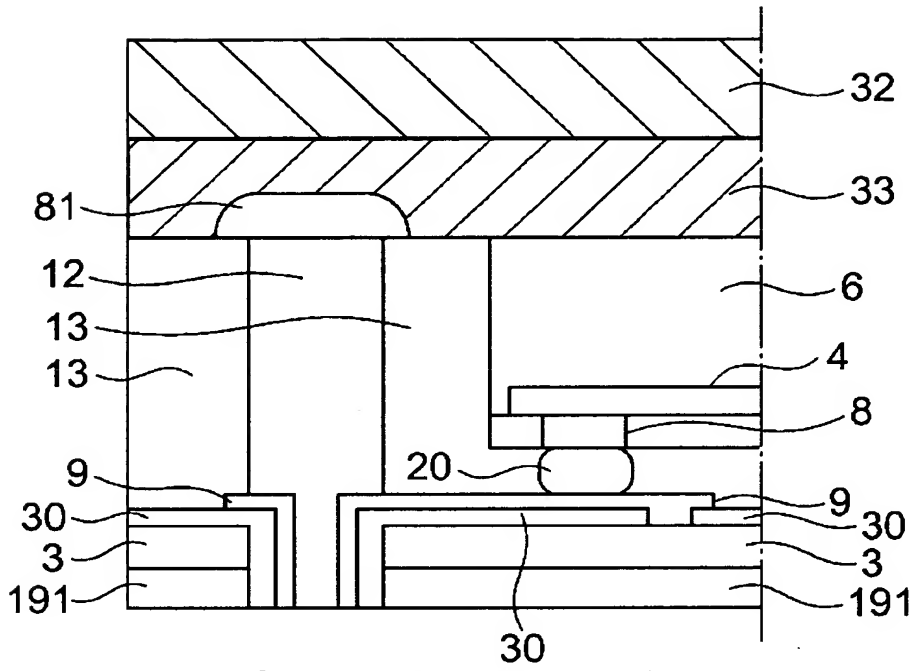
【図 7 0】



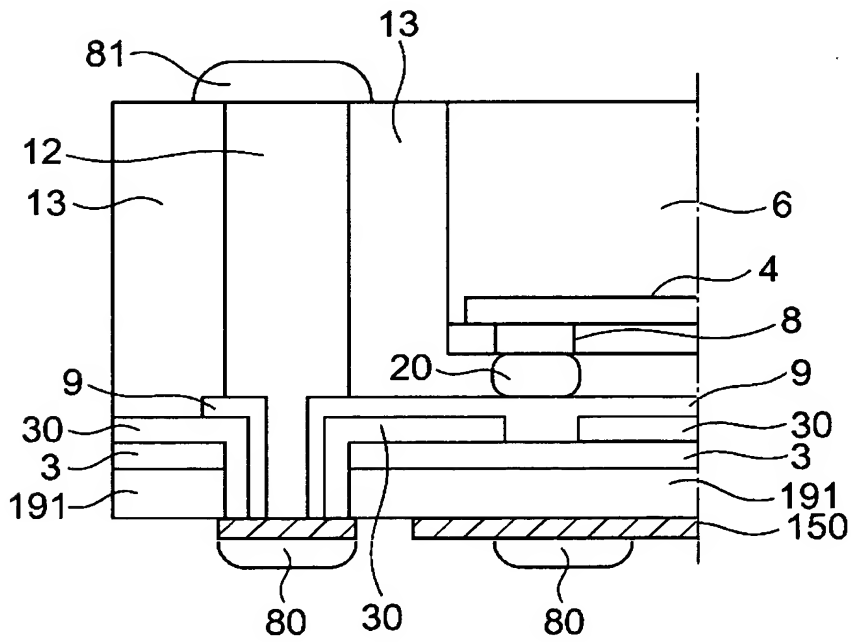
【図 7 1】



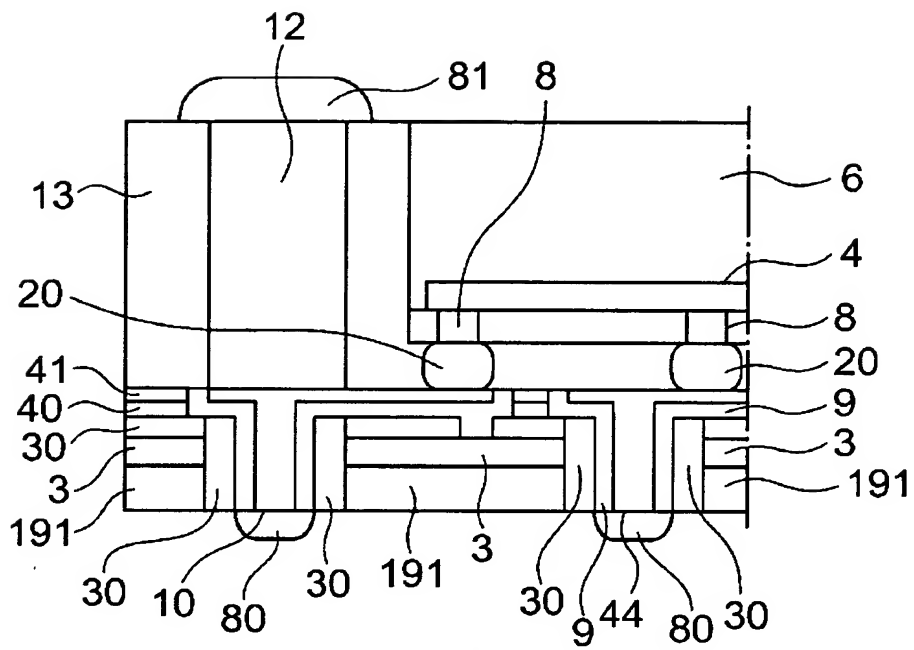
【図 7 2】



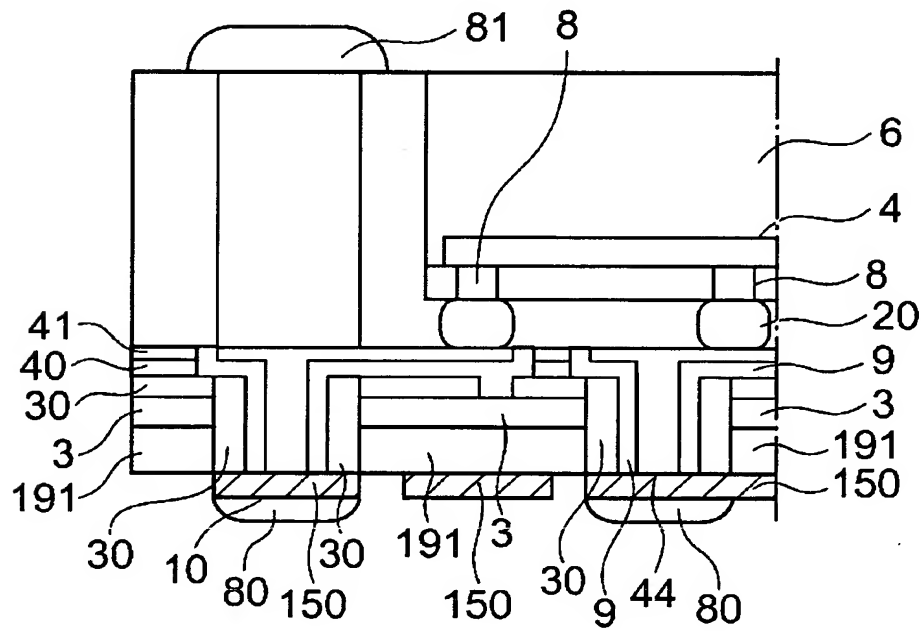
【図 7 3】



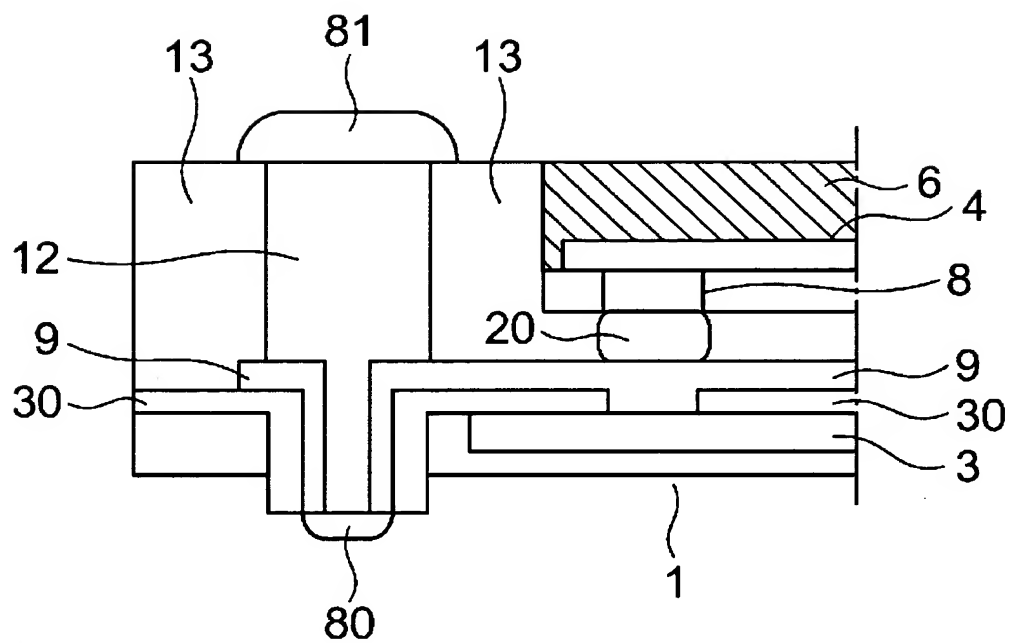
【图 7 4】



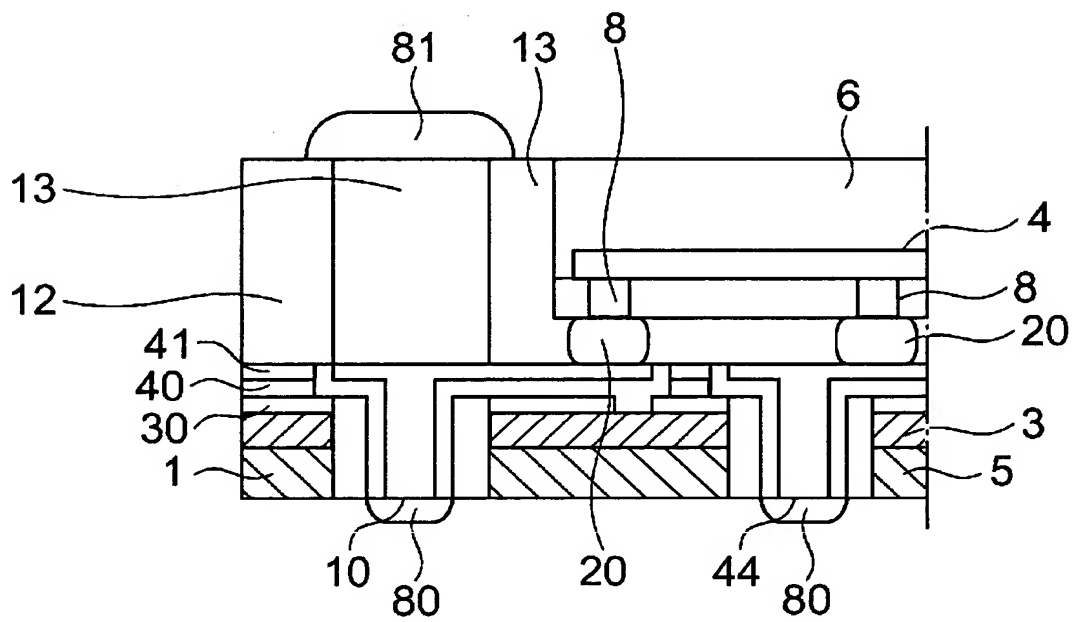
【図 7 5】



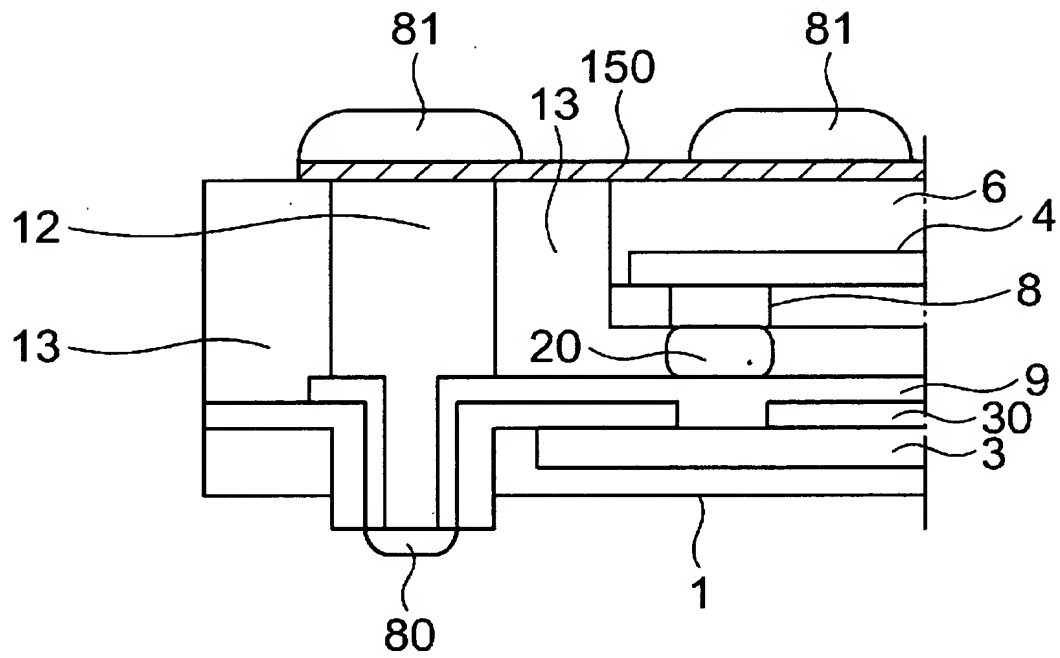
【図 7 6】



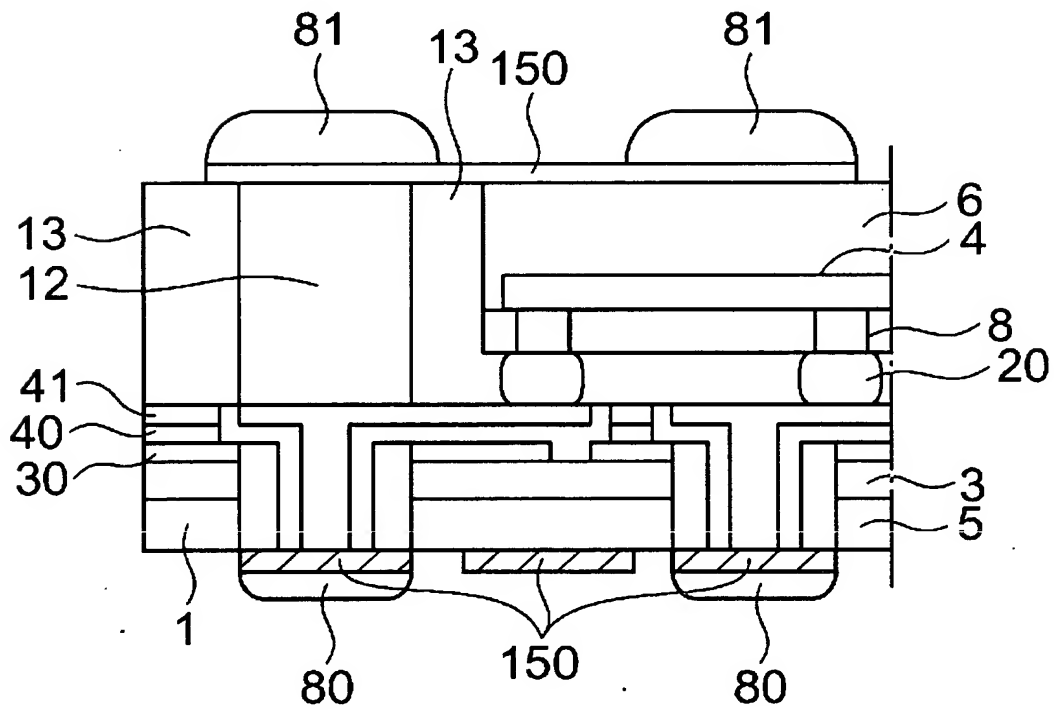
【図 7 7】



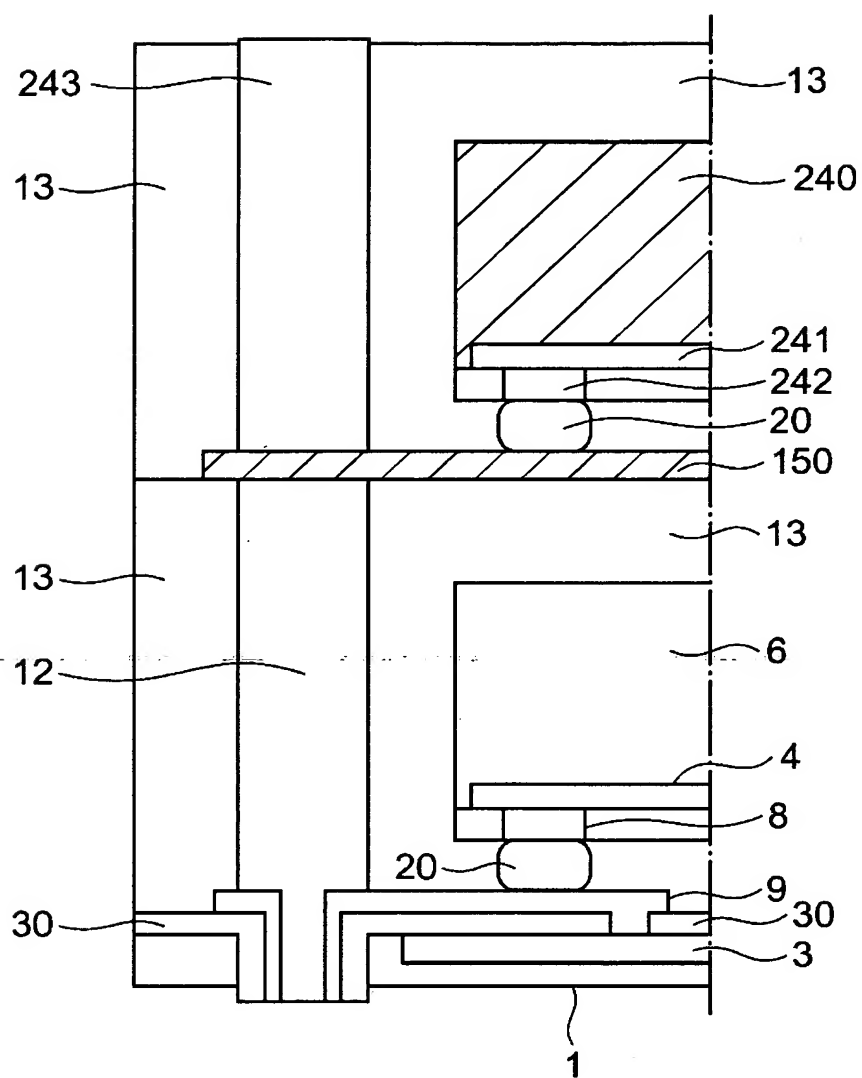
【図 78】



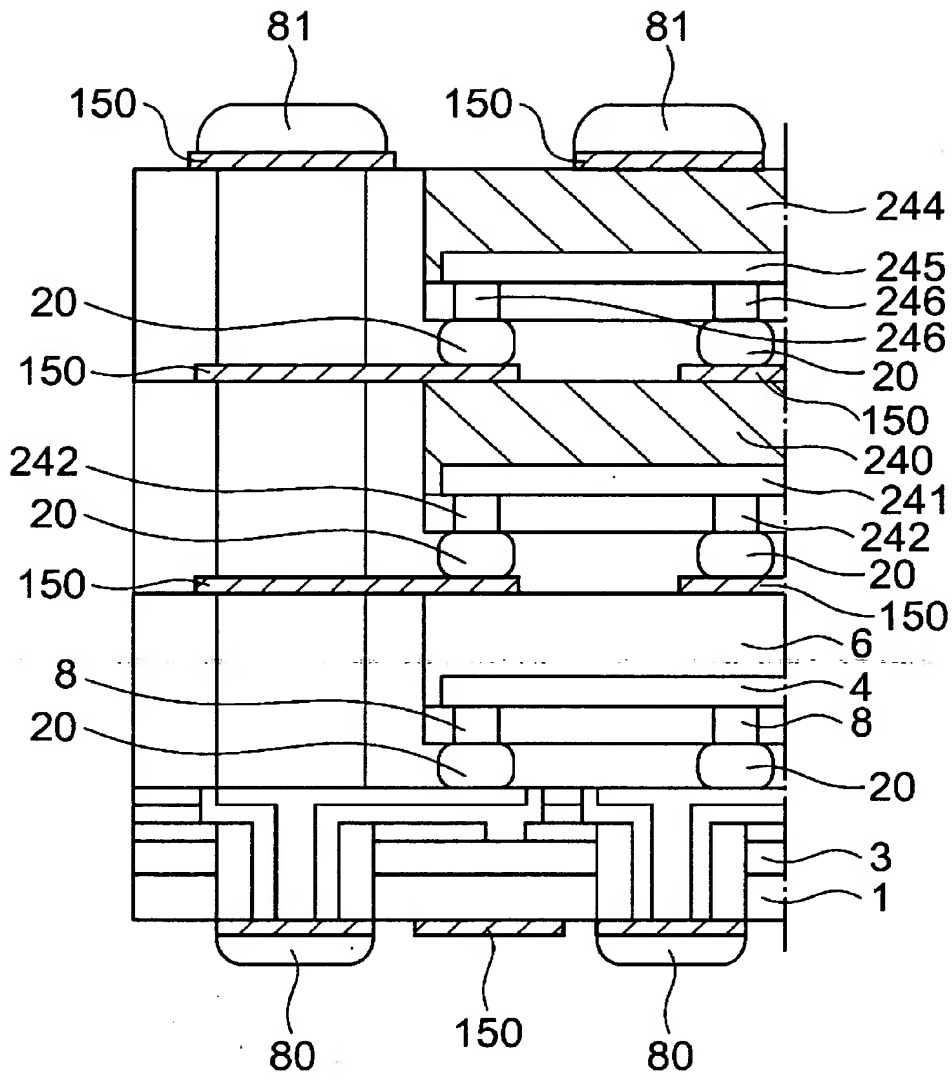
【図 79】



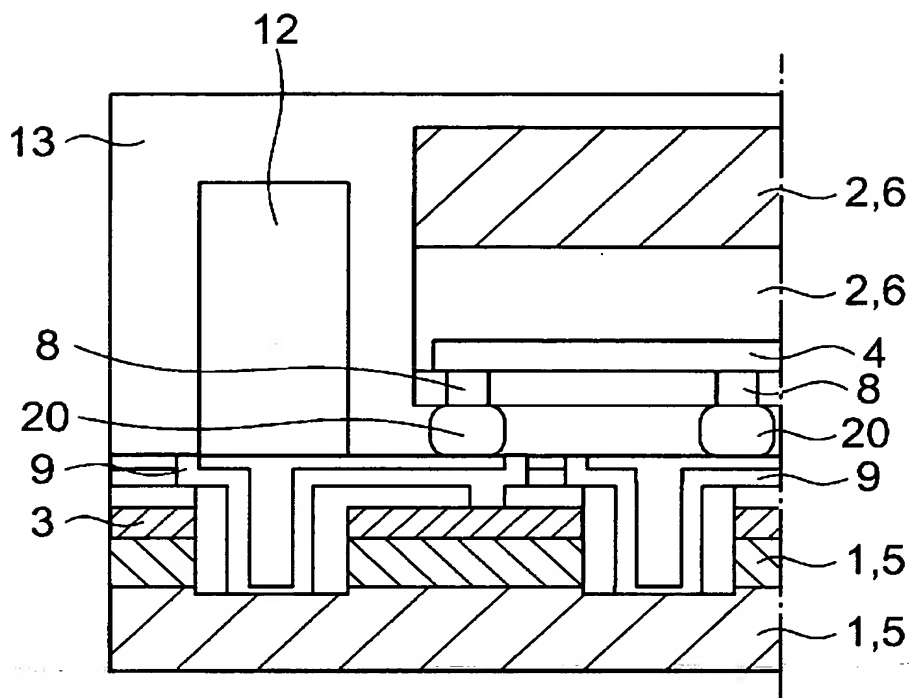
【図 80】



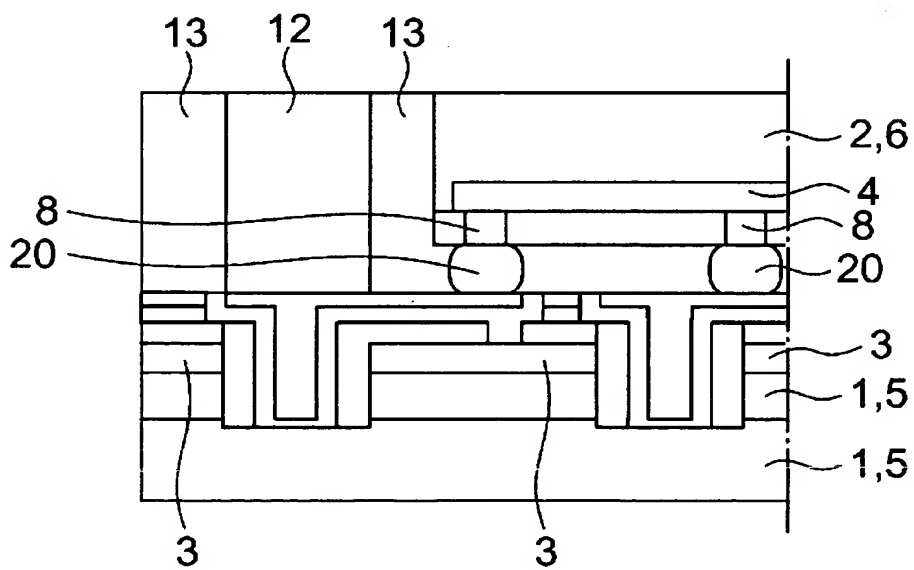
【図 8 1】



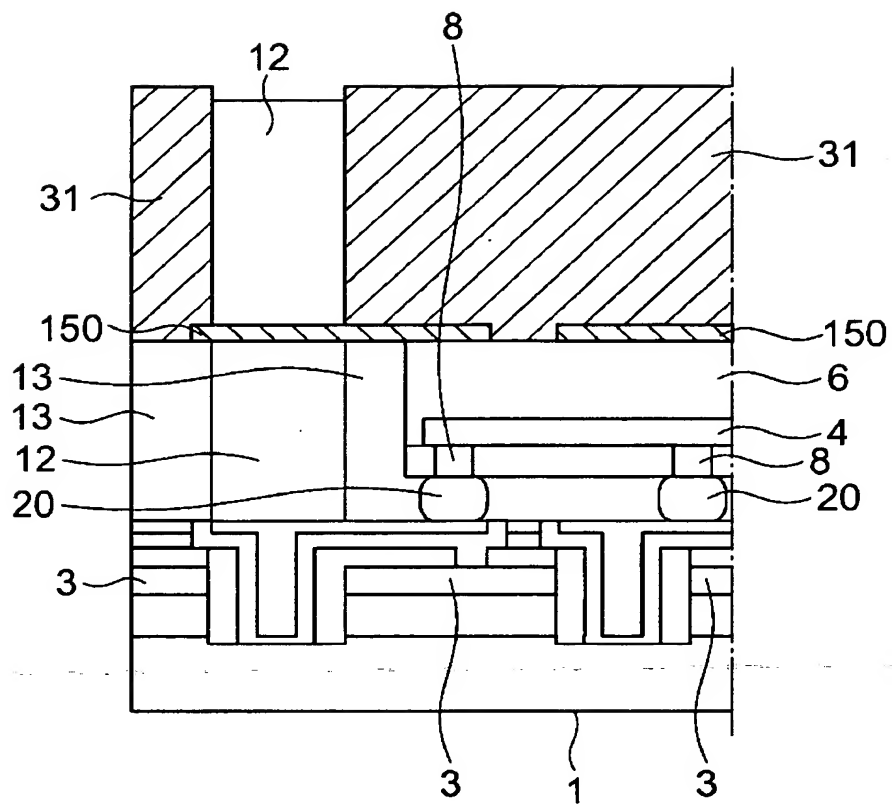
【図 8 2】



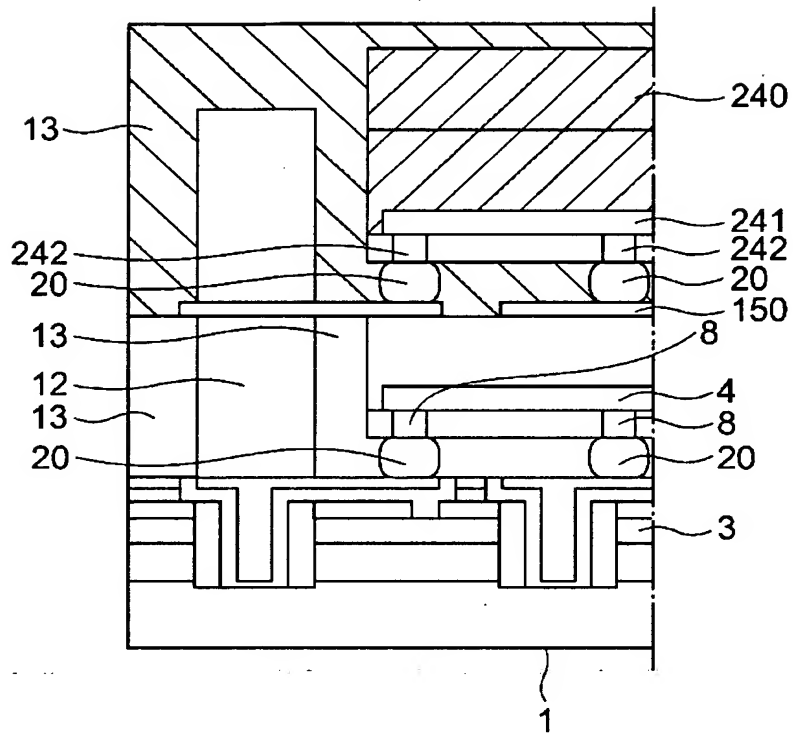
【図 8 3】



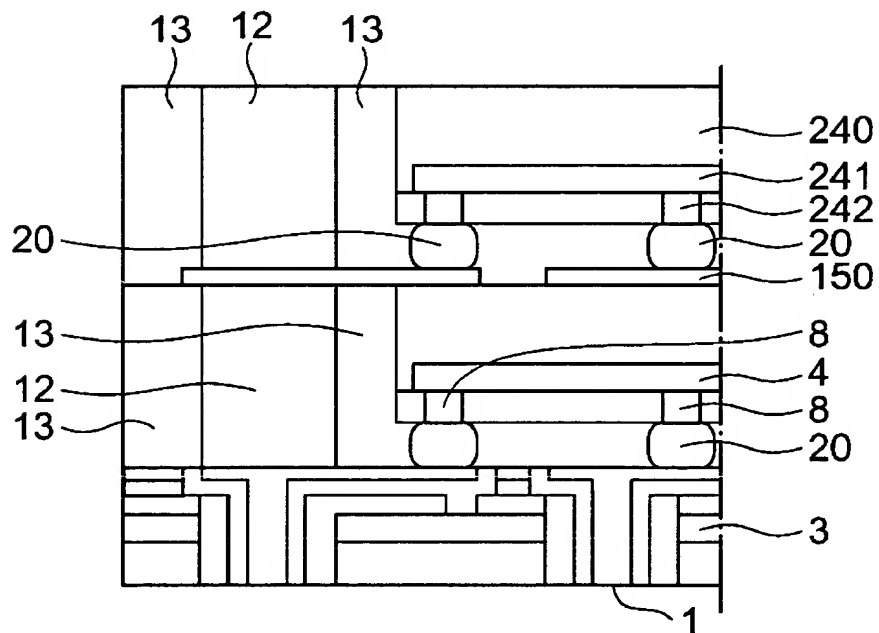
【图 8 4】



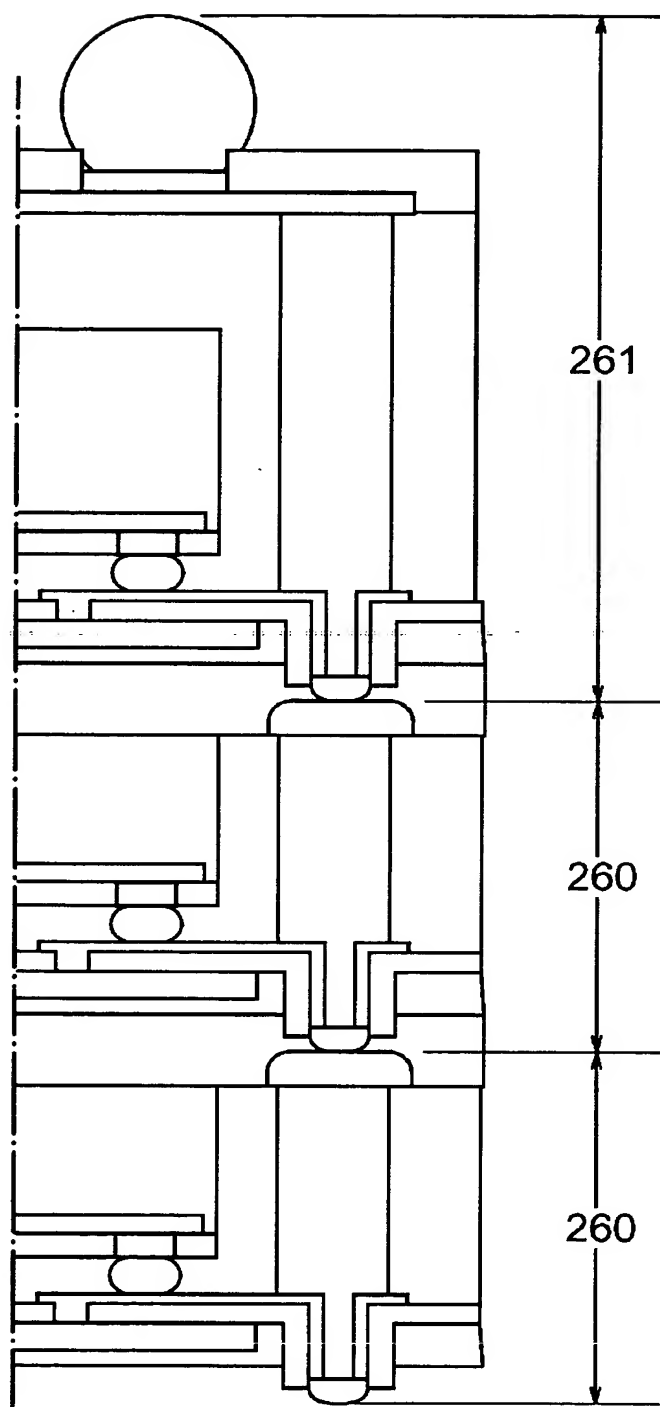
【图 8 5】



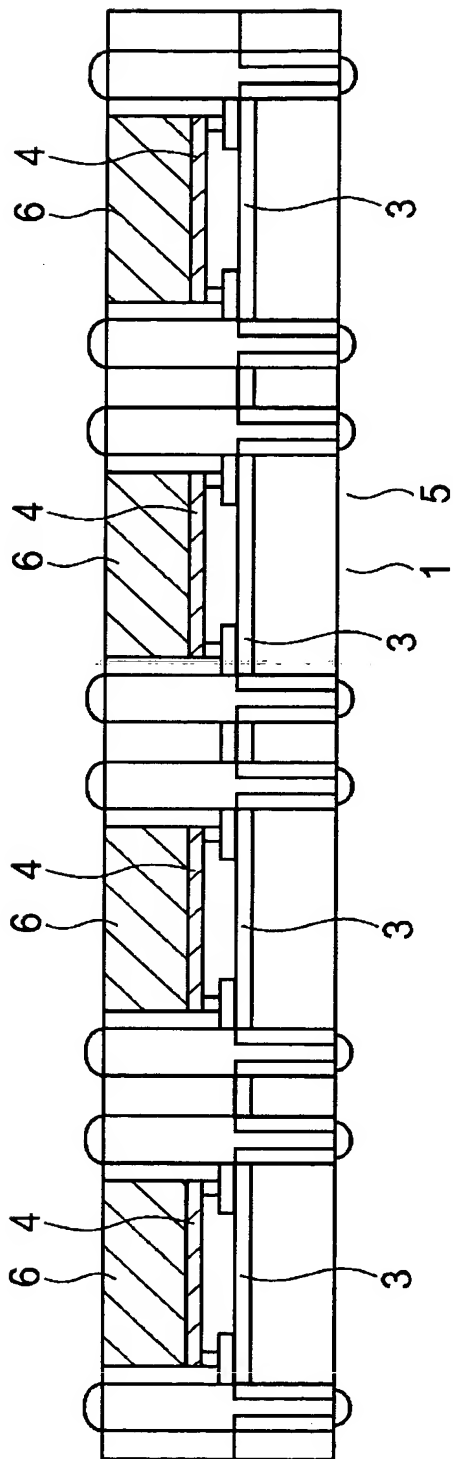
【図 8'6】



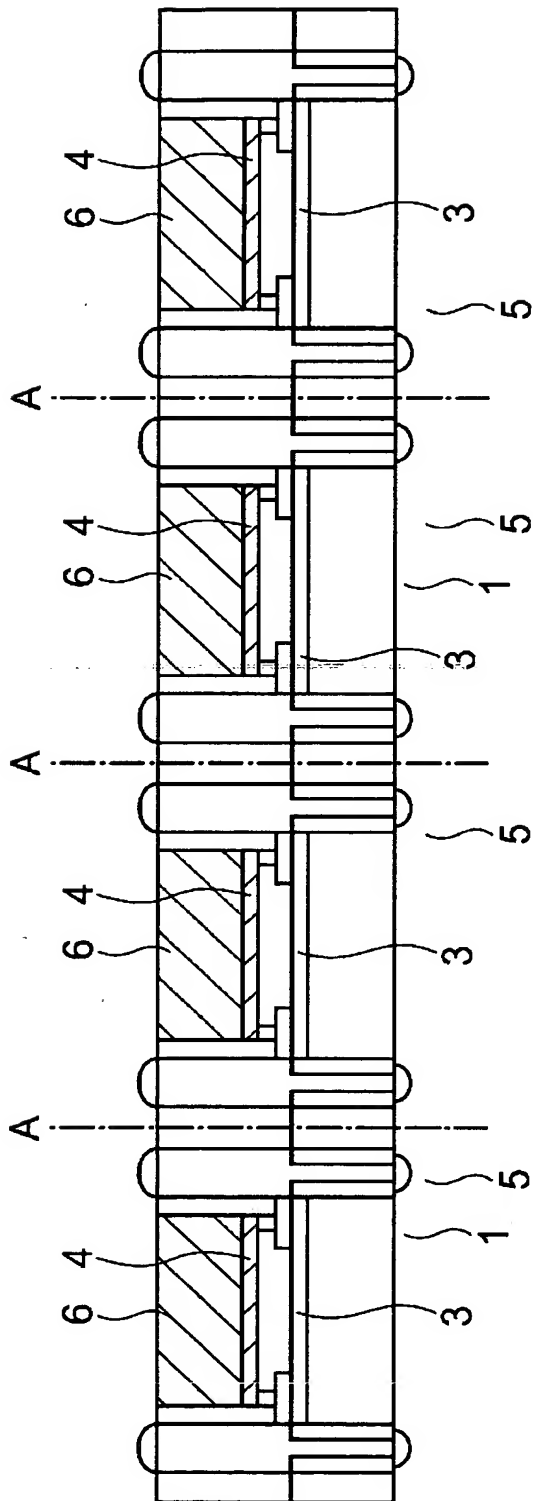
【図 8 7】



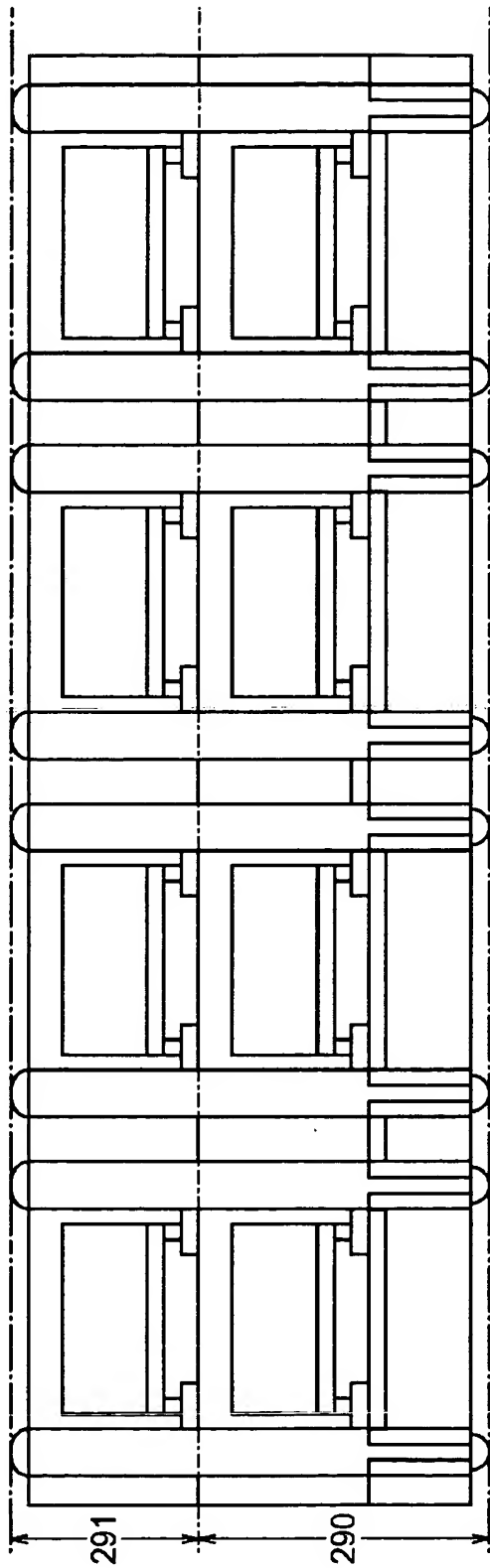
【图 8 8】



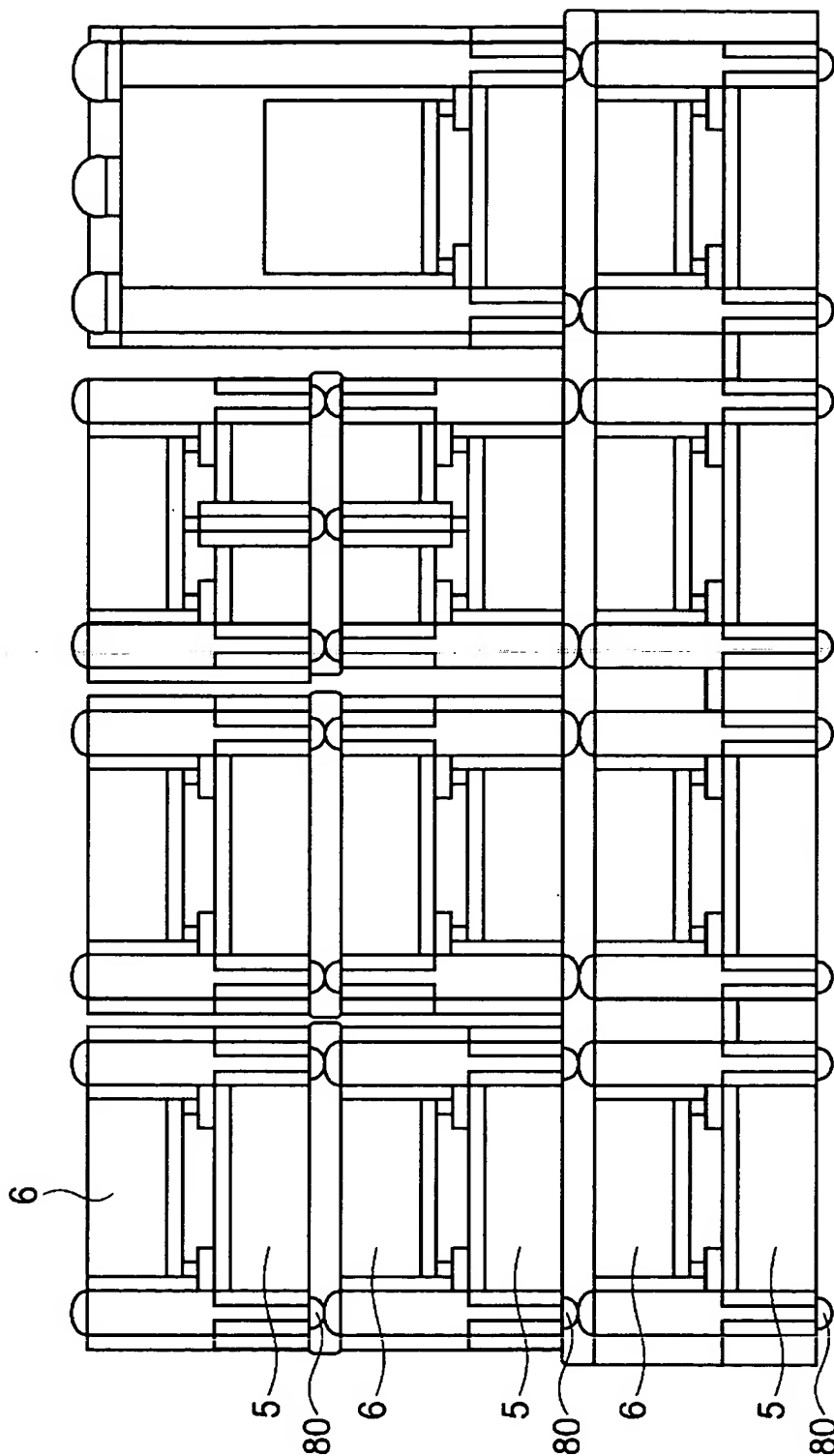
【図 89】



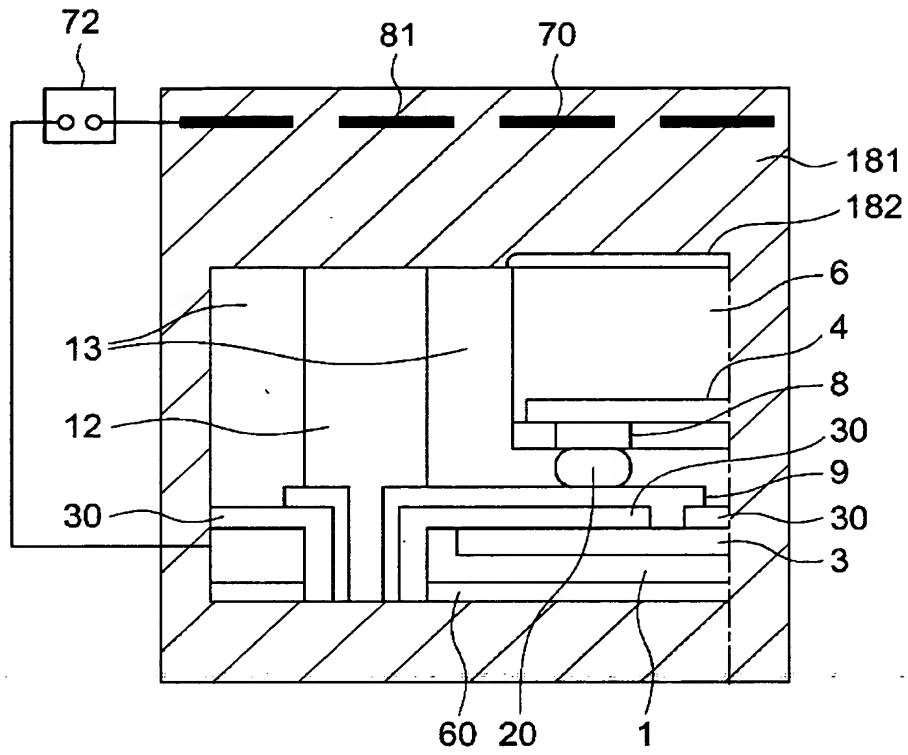
【図 9 0】



【図 9 1】



【図 9 4】



【書類名】 要約書

【要約】

【課題】 製造の容易な半導体装置を得る。

【解決手段】 互いに対向配置された第 1 および第 2 の半導体基板 1、2 と、第 1 の半導体基板 1 の対向面上に形成され、第 1 の半導体回路 3 および第 1 の電極 7 からなる第 1 の半導体素子 5 と、第 2 の半導体基板 2 の対向面上に形成され、第 2 の半導体回路 4 および第 2 の電極 8 からなる第 2 の半導体素子 6 と、第 1 および第 2 の電極 7、8 の間に挟持された配線層 9 と、第 1 の半導体基板 1 を貫通し、配線層 9 を介して第 1 および第 2 の電極 7、8 に接続された貫通電極 12 とを備え、第 2 の半導体基板 2 は貫通電極 12 の側面方向に離間配置され、第 1 の半導体基板 1 から突出した貫通電極 12 の側面および第 2 の半導体素子 6 の側面は絶縁材 13 で被覆され、貫通電極 12 の一端は、第 1 の半導体基板 1 の裏面から露出し、他端は、第 2 の半導体基板 2 の裏面と同一高さに位置するとともに、絶縁材 13 から露出した。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 2 0 0 1 年 7 月 2 日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目 1 番 1 号
氏 名 株式会社東芝

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地
氏 名 ローム株式会社